

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 8月27日

出 願 番 号
Application Number:

特願2002-247299

[ST.10/C]:

[JP2002-247299]

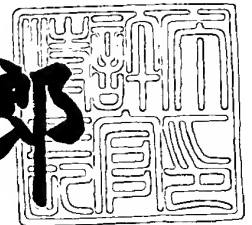
出 願 人
Applicant(s):

セイコーエプソン株式会社

2003年 6月12日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3046095

【書類名】 特許願

【整理番号】 EP-0398601

【提出日】 平成14年 8月27日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/20

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 森田 晶

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 鳥海 裕一

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

【氏名又は名称】 大 渕 美 千 栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示駆動回路及び表示装置

【特許請求の範囲】

【請求項 1】 階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、

第 1 ～ 第 (M+N) (M、N は正の整数) のシフトレジスタブロックに供給される階調データの入力制御を行うデータ入力制御回路と、

前記第 1 ～ 第 (M+N) のシフトレジスタブロックに供給される階調データに対してマスク制御を行った第 1 ～ 第 (M+N) の階調データを出力する第 1 ～ 第 (M+N) のデータマスク回路と、

前記データ入力制御回路を基準に第 1 の方向側の領域に配置され、前記第 1 ～ 第 M の階調データを保持する第 1 ～ 第 M のシフトレジスタブロックと、

前記データ入力制御回路を基準に前記第 1 の方向と反対の第 2 の方向側の領域に配置され、前記第 (M+1) ～ 第 (M+N) の階調データを保持する第 (M+1) ～ 第 (M+N) のシフトレジスタブロックと、

前記第 1 ～ 第 (M+N) のシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路と、

を含み、

前記第 1 ～ 第 M のシフトレジスタブロックは、

第 1 のシフトレジスタブロックに入力される所与のデータイネーブル信号をシフトして前記第 2 の方向に隣接するシフトレジスタブロックに出力すると共に、シフトされるデータイネーブル信号に基づいて前記第 1 ～ 第 M の階調データを保持し、

前記第 (M+1) ～ 第 (M+N) のシフトレジスタブロックは、

第 (M+1) のシフトレジスタブロックに入力される前記第 M のシフトレジスタブロックからのデータイネーブル信号をシフトして前記第 2 の方向に隣接するシフトレジスタブロックに出力すると共に、シフトされるデータイネーブル信号に基づいて前記第 (M+1) ～ 第 (M+N) の階調データを保持し、

前記第 1 ～第 M のデータマスク回路は、

前記第 2 の方向に沿って第 1 ～第 M のデータマスク回路の順に接続され、前記第 1 ～第 M のデータマスク回路の順に前記第 1 ～第 M の階調データのマスクを非解除状態に設定し、

前記第 (M + 1) ～第 (M + N) のデータマスク回路は、

前記第 2 の方向に沿って第 (M + 1) ～第 (M + N) のデータマスク回路の順に接続され、前記第 (M + 1) ～第 (M + N) のデータマスク回路の順に前記第 (M + 1) ～第 (M + N) の階調データのマスクを解除状態に設定することを特徴とする表示駆動回路。

【請求項 2】 請求項 1 において、

前記第 1 ～第 (M + N) の階調データのマスク制御を行うための第 1 ～第 (M + N) のデータマスク制御信号を生成する第 1 ～第 (M + N) のデータマスク制御回路を含み、

第 a ($1 \leq a \leq M$ 、a は整数) のデータマスク制御回路は、

前記第 a のシフトレジスタブロックから出力されたデータイネーブル信号に基づいて前記第 a のデータマスク制御信号を生成し、

第 b ($M + 1 \leq b \leq M + N$ 、b は整数) のデータマスク制御回路は、

前記第 (b - 1) のシフトレジスタブロックから出力されたデータイネーブル信号に基づいて前記第 b のデータマスク制御信号を生成することを特徴とする表示駆動回路。

【請求項 3】 請求項 2 において、

第 c ($1 \leq c \leq M + N$ 、c は整数) のシフトレジスタブロックは、

所与のシフト信号が第 1 のレベルのとき、前記データイネーブル信号を前記第 1 の方向にシフトすると共に、該データイネーブル信号に基づいて第 c の階調データを保持し、

前記シフト信号が第 2 のレベルのとき、前記データイネーブル信号を前記第 2 の方向にシフトすると共に、該データイネーブル信号に基づいて第 c の階調データを保持し、

前記第 c のデータマスク制御回路は、

前記シフト信号のレベルに応じて、前記第 c のデータマスク制御信号を生成することを特徴とする表示駆動回路。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、

前記第 1 ～第 (M+N) のシフトレジスタブロックに供給され前記データイネーブル信号のシフトタイミングを規定するクロックの入力制御を行うクロック入力制御回路と、

前記第 1 ～第 (M+N) のシフトレジスタブロックに供給されるクロックに対してマスク制御を行った第 1 ～第 (M+N) のクロックを出力する第 1 ～第 (M+N) のクロックマスク回路と、

を含み、

前記第 1 ～第 M のシフトレジスタブロックは、

前記クロック入力制御回路を基準に前記第 1 の方向側の領域に配置され、前記第 1 ～第 M のクロックに基づいて前記データイネーブル信号をシフトし、

前記第 (M+1) ～第 (M+N) のシフトレジスタブロックは、

前記クロック入力制御回路を基準に前記第 2 の方向側の領域に配置され、前記第 (M+1) ～第 (M+N) のクロックに基づいて前記データイネーブル信号をシフトし、

前記第 1 ～第 M のクロックマスク回路は、

前記第 2 の方向に沿って第 1 ～第 M のクロックマスク回路の順に接続され、前記第 1 ～第 M のクロックマスク回路の順に前記第 1 ～第 M のクロックのマスクを非解除状態に設定し、

前記第 (M+1) ～第 (M+N) のクロックマスク回路は、

前記第 2 の方向に沿って第 (M+1) ～第 (M+N) のクロックマスク回路の順に接続され、前記第 (M+1) ～第 (M+N) のクロックマスク回路の順に前記第 (M+1) ～第 (M+N) のクロックのマスクを解除状態に設定することを特徴とする表示駆動回路。

【請求項 5】 請求項 4 において、

前記第 1 ～第 (M+N) のクロックをマスク制御するための第 1 ～第 (M+N) のクロックマスク制御信号を生成する第 1 ～第 (M+N) のクロックマスク制

御回路を含み、

第 d ($1 \leq d \leq M$ 、 d は整数) のクロックマスク制御回路は、

前記第 d のシフトレジスタブロックから出力されたデータイネーブル信号に基づいて前記第 d のクロックマスク制御信号を生成し、

第 e ($M+1 \leq e \leq M+N$ 、 e は整数) のクロックマスク制御回路は、

前記第 $(e-1)$ のシフトレジスタブロックから出力されたデータイネーブル信号に基づいて前記第 e のクロックマスク制御信号を生成することを特徴とする表示駆動回路。

【請求項 6】 請求項 5 において、

第 f ($1 \leq f \leq M+N$ 、 f は正の整数) のシフトレジスタブロックは、

所与のシフト信号が第 1 のレベルのとき、前記データイネーブル信号を前記第 1 の方向にシフトすると共に、前記第 1 の方向にシフトされるデータイネーブル信号に基づいて第 f の階調データを保持し、

前記シフト信号が第 2 のレベルのとき、前記データイネーブル信号を前記第 2 の方向にシフトすると共に、前記第 2 の方向にシフトされるデータイネーブル信号に基づいて第 f の階調データを保持し、

前記第 f のクロックマスク制御回路は、

前記シフト信号のレベルに応じて、前記第 f のクロックマスク制御信号を生成することを特徴とする表示駆動回路。

【請求項 7】 階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、

第 1 ～ 第 $(M+N)$ (M 、 N は正の整数) のシフトレジスタブロックに供給されシフトタイミングを規定するクロックの入力制御を行うクロック入力制御回路と、

第 1 ～ 第 $(M+N)$ のシフトレジスタブロックへ供給されるクロックに対してマスク制御を行った前記第 1 ～ 第 $(M+N)$ のクロックを出力する第 1 ～ 第 $(M+N)$ のクロックマスク回路と、

前記クロック入力制御回路を基準に第 1 の方向側の領域に配置され、第 1 ～ 第 M の階調データを保持する第 1 ～ 第 M のシフトレジスタブロックと、

前記クロック入力制御回路を基準に前記第 1 の方向と反対の第 2 の方向側の領域に配置され、第 $(M+1)$ ～第 $(M+N)$ の階調データを保持する第 $(M+1)$ ～第 $(M+N)$ のシフトレジスタブロックと、

前記第 1 ～第 $(M+N)$ のシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路と、

を含み、

前記第 1 ～第 M のシフトレジスタブロックは、

第 1 のシフトレジスタブロックに入力される所与のデータイネーブル信号を前記第 1 ～第 M のクロックに基づいてシフトして前記第 2 の方向に隣接するシフトレジスタブロックに出力すると共に、該データイネーブル信号に基づいて第 1 ～第 M の階調データを保持し、

前記第 $(M+1)$ ～第 $(M+N)$ のシフトレジスタブロックは、

第 $(M+1)$ のシフトレジスタブロックに入力される前記第 M のシフトレジスタからのデータイネーブル信号を前記第 $(M+1)$ ～第 $(M+N)$ のクロックに基づいてシフトして前記第 2 の方向に隣接するシフトレジスタブロックに出力すると共に、該データイネーブル信号に基づいて第 $(M+1)$ ～第 $(M+N)$ の階調データを保持し、

前記第 1 ～第 M のクロックマスク回路は、

前記第 2 の方向に沿って第 1 ～第 M のクロックマスク回路の順に接続され、前記第 1 ～第 M のクロックマスク回路の順に前記第 1 ～第 M のクロックのマスクを非解除状態に設定し、

前記第 $(M+1)$ ～第 $(M+N)$ のクロックマスク回路は、

前記第 2 の方向に沿って第 $(M+1)$ ～第 $(M+N)$ のクロックマスク回路の順に接続され、前記第 $(M+1)$ ～第 $(M+N)$ のクロックマスク回路の順に前記第 $(M+1)$ ～第 $(M+N)$ のクロックのマスクを解除状態に設定することを特徴とする表示駆動回路。

【請求項 8】 階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、

第 1 ～第 M (M は正の整数) のシフトレジスタブロックに供給される階調デー

タの入力制御を行うデータ入力制御回路と、

前記第1～第Mのシフトレジスタブロックへ供給される階調データに対してマスク制御を行った第1～第Mの階調データを出力する第1～第Mのデータマスク回路と、

前記データ入力制御回路を基準に第1の方向側の領域に配置され、前記第1～第Mの階調データを保持する第1～第Mのシフトレジスタブロックと、

前記第1～第Mのシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路と、

を含み、

前記第1～第Mのシフトレジスタブロックは、

第1のシフトレジスタブロックに入力される所与のデータイネーブル信号をシフトして前記第1の方向と反対の第2の方向に隣接するシフトレジスタブロックに出力すると共に、前記第1～第Mのデータマスク回路によりマスク制御された第1～第Mの階調データを該データイネーブル信号に基づいて保持し、

前記第1～第Mのデータマスク回路は、

前記第2の方向に沿って第1～第Mのデータマスク回路の順に接続され、前記第1～第Mのデータマスク回路の順に前記第1～第Mの階調データのマスクを非解除状態に設定することを特徴とする表示駆動回路。

【請求項9】 階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、

第1～第N（Nは正の整数）のシフトレジスタブロックに供給される階調データの入力制御を行うデータ入力制御回路と、

前記第1～第Nのシフトレジスタブロックへ供給される階調データに対してマスク制御を行った第1～第Nの階調データを出力する第1～第Nのデータマスク回路と、

前記データ入力制御回路を基準に第2の方向側の領域に配置され、第1～第Nの階調データを保持する第1～第Nのシフトレジスタブロックと、

前記第1～第Nのシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路と、

を含み、

前記第 1 ～第 N のシフトレジスタブロックは、

第 1 のシフトレジスタブロックに入力される所与のデータイネーブル信号をシフトして前記第 2 の方向に隣接するシフトレジスタブロックに出力すると共に、前記第 1 ～第 N のデータマスク回路によりマスク制御された第 1 ～第 N の階調データを該データイネーブル信号に基づいて保持し、

前記第 1 ～第 N のデータマスク回路は、

前記第 2 の方向に沿って第 1 ～第 N のデータマスク回路の順に接続され、前記第 1 ～第 N のデータマスク回路の順に前記第 1 ～第 N の階調データのマスクを解除状態に設定することを特徴とする表示駆動回路。

【請求項 1 0】 階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、

第 1 ～第 M (M は正の整数) のシフトレジスタブロックに供給されシフトタイミングを規定するクロックの入力制御を行うクロック入力制御回路と、

前記第 1 ～第 M のシフトレジスタブロックへ供給されるクロックに対してマスク制御を行った第 1 ～第 M のクロックを出力する第 1 ～第 M のクロックマスク回路と、

前記クロック入力制御回路を基準に第 1 の方向側の領域に配置され、第 1 ～第 M の階調データを保持する第 1 ～第 M のシフトレジスタブロックと、

前記第 1 ～第 M のシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路と、

を含み、

前記第 1 ～第 M のシフトレジスタブロックは、

第 1 のシフトレジスタブロックに入力される所与のデータイネーブル信号を前記第 1 ～第 M のクロックに基づいてシフトして該第 1 の方向と反対の第 2 の方向に隣接するシフトレジスタブロックに出力すると共に、該データイネーブル信号に基づいて第 1 ～第 M の階調データを保持し、

前記第 1 ～第 M のクロックマスク回路は、

前記第 2 の方向に沿って第 1 ～第 M のクロックマスク回路の順に接続され、前

記第 1 ～第 M のクロックマスク回路の順に前記第 1 ～第 M のクロックのマスクを非解除状態に設定することを特徴とする表示駆動回路。

【請求項 1 1】 階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、

第 1 ～第 N（N は正の整数）のシフトレジスタブロックに供給されシフトタイミングを規定するクロックの入力制御を行うクロック入力制御回路と、

前記第 1 ～第 N のシフトレジスタブロックへ供給されるクロックに対してマスク制御を行った前記第 1 ～第 N のクロックを出力する第 1 ～第 N のクロックマスク回路と、

前記クロック入力制御回路を基準に第 2 の方向側の領域に配置され、第 1 ～第 N の階調データを保持する第 1 ～第 N のシフトレジスタブロックと、

前記第 1 ～第 N のシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路と、

を含み、

前記第 1 ～第 N のシフトレジスタブロックは、

第 1 のシフトレジスタブロックに入力される所与のデータイネーブル信号を前記第 1 ～第 N のクロックに基づいてシフトして前記第 2 の方向に隣接するシフトレジスタブロックに出力すると共に、該データイネーブル信号に基づいて第 1 ～第 N の階調データを保持し、

前記第 1 ～第 N のクロックマスク回路は、

前記第 2 の方向に沿って第 1 ～第 N のクロックマスク回路の順に接続され、前記第 1 ～第 N のクロックマスク回路の順に前記第 1 ～第 N のクロックのマスクを解除状態に設定することを特徴とする表示駆動回路。

【請求項 1 2】 互いに交差する複数の走査電極及び複数の信号電極により特定される画素と、

前記走査電極を走査駆動する走査電極駆動回路と、

階調データに基づいて、前記信号電極を駆動する請求項 1 乃至 1 1 いずれか記載の表示駆動回路と、

を含むことを特徴とする表示装置。

【請求項 1 3】 互いに交差する複数の走査電極及び複数の信号電極により特定される画素を含む表示パネルと、

前記走査電極を走査駆動する走査電極駆動回路と、

階調データに基づいて、前記信号電極を駆動する請求項 1 乃至 1 1 いずれか記載の表示駆動回路と、

を含むことを特徴とする表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、表示駆動回路及び表示装置に関する。

【0 0 0 2】

【背景技術及び発明が解決しようとする課題】

例えば液晶パネル（広義には、表示パネル）では、階調表示によりカラー表現が行われる。そのため液晶パネルの信号電極を駆動する信号ドライバ（広義には、表示駆動回路）は、信号電極に対応する信号電極駆動回路を有する。各信号電極駆動回路は、対応するラッチに保持された階調データに応じた駆動電圧を出力する。

【0 0 0 3】

ところで一般に、信号ドライバは、駆動対象の表示パネルの信号電極数が多い。したがって、表示パネルの縁に効率的に実装できるように、信号ドライバは信号電極の配列方向を長辺方向とし、該配列方向と交差する方向を短辺方向となるようにレイアウトされ、回路が形成される。このため、階調データを供給する階調バスは、信号ドライバの長辺方向に長くなり、階調バスの負荷が増大する。したがって、階調バスの駆動に伴う電力消費が大きくなる。

【0 0 0 4】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、階調データの供給に伴う消費電力を削減することができる表示駆動回路及び表示装置を提供することにある。

【0 0 0 5】

【課題を解決するための手段】

上記課題を解決するために本発明は、階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、第 1 ～ 第 $(M+N)$ (M 、 N は正の整数) のシフトレジスタブロックに供給される階調データの入力制御を行うデータ入力制御回路と、前記第 1 ～ 第 $(M+N)$ のシフトレジスタブロックに供給される階調データに対してマスク制御を行った第 1 ～ 第 $(M+N)$ の階調データを出力する第 1 ～ 第 $(M+N)$ のデータマスク回路と、前記データ入力制御回路を基準に第 1 の方向側の領域に配置され、前記第 1 ～ 第 M の階調データを保持する第 1 ～ 第 M のシフトレジスタブロックと、前記データ入力制御回路を基準に前記第 1 の方向と反対の第 2 の方向側の領域に配置され、前記第 $(M+1)$ ～ 第 $(M+N)$ の階調データを保持する第 $(M+1)$ ～ 第 $(M+N)$ のシフトレジスタブロックと、前記第 1 ～ 第 $(M+N)$ のシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路とを含み、前記第 1 ～ 第 M のシフトレジスタブロックは、第 1 のシフトレジスタブロックに入力される所与のデータイネーブル信号をシフトして前記第 2 の方向に隣接するシフトレジスタブロックに出力すると共に、シフトされるデータイネーブル信号に基づいて前記第 1 ～ 第 M の階調データを保持し、前記第 $(M+1)$ ～ 第 $(M+N)$ のシフトレジスタブロックは、第 $(M+1)$ のシフトレジスタブロックに入力される前記第 M のシフトレジスタブロックからのデータイネーブル信号をシフトして前記第 2 の方向に隣接するシフトレジスタブロックに出力すると共に、シフトされるデータイネーブル信号に基づいて前記第 $(M+1)$ ～ 第 $(M+N)$ の階調データを保持し、前記第 1 ～ 第 M のデータマスク回路は、前記第 2 の方向に沿って第 1 ～ 第 M のデータマスク回路の順に接続され、前記第 1 ～ 第 M のデータマスク回路の順に前記第 1 ～ 第 M の階調データのマスクを非解除状態に設定し、前記第 $(M+1)$ ～ 第 $(M+N)$ のデータマスク回路は、前記第 2 の方向に沿って第 $(M+1)$ ～ 第 $(M+N)$ のデータマスク回路の順に接続され、前記第 $(M+1)$ ～ 第 $(M+N)$ のデータマスク回路の順に前記第 $(M+1)$ ～ 第 $(M+N)$ の階調データのマスクを解除状態に設定する表示駆動回路に係する。

【 0 0 0 6 】

本発明においては、データ入力制御回路により入力制御が行われる階調データが各シフトレジスタブロックに取り込まれる。

【0007】

この場合に、データ入力制御回路を基準として第1の方向側の領域に第2の方向に沿って順に接続された第1～第Mのデータマスク回路を、第1～第Mのデータマスク回路の順にマスクを非解除状態に設定しながら、第1～第Mのシフトレジスタブロックは、第2の方向にシフトされるデータイネーブル信号に基づいて第1～第Mの階調データを保持する。これにより、既に階調データを取り込んだシフトレジスタブロックに対する階調データの不要な駆動を回避することができる。すなわち、階調データの供給に必要なタイミングのみ、階調データが供給されるバスを駆動すればよいので不要な電力消費を削減することができる。

【0008】

一方、データ入力制御回路を基準として第2の方向側の領域に第2の方向に沿って順に接続された第(M+1)～第(M+N)のデータマスク回路を、第(M+1)～第(M+N)のデータマスク回路の順にマスクを解除状態に設定することにより、第(M+1)～第(M+N)のシフトレジスタブロックは、第2の方向にシフトされるデータイネーブル信号に基づいて第(M+1)～第(M+N)の階調データを保持する。これにより、これから階調データを取り込むシフトレジスタブロックに対してのみ、順次階調データを駆動していくことができる。すなわち、階調データの供給に必要なタイミングのみ、階調データが供給されるバスを駆動すればよいので不要な電力消費を削減することができる。

【0009】

また本発明に係る表示駆動回路は、前記第1～第(M+N)の階調データのマスク制御を行うための第1～第(M+N)のデータマスク制御信号を生成する第1～第(M+N)のデータマスク制御回路を含み、第a ($1 \leq a \leq M$ 、aは整数)のデータマスク制御回路は、前記第aのシフトレジスタブロックから出力されたデータイネーブル信号に基づいて前記第aのデータマスク制御信号を生成し、第b ($M+1 \leq b \leq M+N$ 、bは整数)のデータマスク制御回路は、前記第(b-1)のシフトレジスタブロックから出力されたデータイネーブル信号に基づい

て前記第 b のデータマスク制御信号を生成することができる。

【 0 0 1 0 】

本発明によれば、順次シフトされるデータイネーブル信号を用いてデータマスク制御信号を生成することができるので、不要な電力消費を削減する表示駆動回路を簡素な回路構成で実現することができる。

【 0 0 1 1 】

また本発明に係る表示駆動回路は、第 c ($1 \leq c \leq M+N$ 、c は整数) のシフトレジスタブロックは、所与のシフト信号が第 1 のレベルのとき、前記データイネーブル信号を前記第 1 の方向にシフトすると共に、該データイネーブル信号に基づいて第 c の階調データを保持し、前記シフト信号が第 2 のレベルのとき、前記データイネーブル信号を前記第 2 の方向にシフトすると共に、該データイネーブル信号に基づいて第 c の階調データを保持し、前記第 c のデータマスク制御回路は、前記シフト信号のレベルに応じて、前記第 c のデータマスク制御信号を生成することができる。

【 0 0 1 2 】

本発明によれば、実装状態に応じて最適な配線長を得ることができるシフト方向の制御が可能であって、かつ不要な電力消費を削減する表示駆動回路を提供することができる。

【 0 0 1 3 】

また本発明に係る表示駆動回路は、前記第 1 ～第 (M+N) のシフトレジスタブロックに供給され前記データイネーブル信号のシフトタイミングを規定するクロックの入力制御を行うクロック入力制御回路と、前記第 1 ～第 (M+N) のシフトレジスタブロックに供給されるクロックに対してマスク制御を行った第 1 ～第 (M+N) のクロックを出力する第 1 ～第 (M+N) のクロックマスク回路とを含み、前記第 1 ～第 M のシフトレジスタブロックは、前記クロック入力制御回路を基準に前記第 1 の方向側の領域に配置され、前記第 1 ～第 M のクロックに基づいて前記データイネーブル信号をシフトし、前記第 (M+1) ～第 (M+N) のシフトレジスタブロックは、前記クロック入力制御回路を基準に前記第 2 の方向側の領域に配置され、前記第 (M+1) ～第 (M+N) のクロックに基づいて

前記データイネーブル信号をシフトし、前記第 1 ～ 第 M のクロックマスク回路は、前記第 2 の方向に沿って第 1 ～ 第 M のクロックマスク回路の順に接続され、前記第 1 ～ 第 M のクロックマスク回路の順に前記第 1 ～ 第 M のクロックのマスクを非解除状態に設定し、前記第 (M + 1) ～ 第 (M + N) のクロックマスク回路は、前記第 2 の方向に沿って第 (M + 1) ～ 第 (M + N) のクロックマスク回路の順に接続され、前記第 (M + 1) ～ 第 (M + N) のクロックマスク回路の順に前記第 (M + 1) ～ 第 (M + N) のクロックのマスクを解除状態に設定することができる。

【 0 0 1 4 】

本発明によれば、データイネーブル信号のシフトタイミングを規定し、かつ各シフトレジスタブロックに供給されるクロックについても、上述の階調データと同様にマスク制御を行うようにしたので、表示駆動回路における階調データの取り込みの際の不要な電力消費を大幅に削減することができる。

【 0 0 1 5 】

また本発明に係る表示駆動回路は、前記第 1 ～ 第 (M + N) のクロックをマスク制御するための第 1 ～ 第 (M + N) のクロックマスク制御信号を生成する第 1 ～ 第 (M + N) のクロックマスク制御回路を含み、第 d ($1 \leq d \leq M$ 、d は整数) のクロックマスク制御回路は、前記第 d のシフトレジスタブロックから出力されたデータイネーブル信号に基づいて前記第 d のクロックマスク制御信号を生成し、第 e ($M + 1 \leq e \leq M + N$ 、e は整数) のクロックマスク制御回路は、前記第 (e - 1) のシフトレジスタブロックから出力されたデータイネーブル信号に基づいて前記第 e のクロックマスク制御信号を生成することができる。

【 0 0 1 6 】

本発明によれば、順次シフトされるデータイネーブル信号を用いてクロックマスク制御信号を生成することができるので、不要な電力消費を削減する表示駆動回路を簡素な回路構成で実現することができる。

【 0 0 1 7 】

また本発明に係る表示駆動回路は、第 f ($1 \leq f \leq M + N$ 、f は正の整数) のシフトレジスタブロックは、所与のシフト信号が第 1 のレベルのとき、前記デー

タイネーブル信号を前記第 1 の方向にシフトすると共に、前記第 1 の方向にシフトされるデータイネーブル信号に基づいて第 f の階調データを保持し、前記シフト信号が第 2 のレベルのとき、前記データイネーブル信号を前記第 2 の方向にシフトすると共に、前記第 2 の方向にシフトされるデータイネーブル信号に基づいて第 f の階調データを保持し、前記第 f のクロックマスク制御回路は、前記シフト信号のレベルに応じて、前記第 f のクロックマスク制御信号を生成することができる。

【 0 0 1 8 】

本発明によれば、実装状態に応じて最適な配線長を得ることができるシフト方向の制御が可能であって、かつ不要な電力消費を削減する表示駆動回路を提供することができる。

【 0 0 1 9 】

また本発明は、階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、第 1 ～第 $(M+N)$ (M 、 N は正の整数) のシフトレジスタブロックに供給されシフトタイミングを規定するクロックの入力制御を行うクロック入力制御回路と、第 1 ～第 $(M+N)$ のシフトレジスタブロックへ供給されるクロックに対してマスク制御を行った前記第 1 ～第 $(M+N)$ のクロックを出力する第 1 ～第 $(M+N)$ のクロックマスク回路と、前記クロック入力制御回路を基準に第 1 の方向側の領域に配置され、第 1 ～第 M の階調データを保持する第 1 ～第 M のシフトレジスタブロックと、前記クロック入力制御回路を基準に前記第 1 の方向と反対の第 2 の方向側の領域に配置され、第 $(M+1)$ ～第 $(M+N)$ の階調データを保持する第 $(M+1)$ ～第 $(M+N)$ のシフトレジスタブロックと、前記第 1 ～第 $(M+N)$ のシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路とを含み、前記第 1 ～第 M のシフトレジスタブロックは、第 1 のシフトレジスタブロックに入力される所与のデータイネーブル信号を前記第 1 ～第 M のクロックに基づいてシフトして前記第 2 の方向に隣接するシフトレジスタブロックに出力すると共に、該データイネーブル信号に基づいて第 1 ～第 M の階調データを保持し、前記第 $(M+1)$ ～第 $(M+N)$ のシフトレジスタブロックは、第 $(M+1)$ のシフトレジ

スタブブロックに入力される前記第Mのシフトレジスタからのデータイネーブル信号を前記第(M+1)～第(M+N)のクロックに基づいてシフトして前記第2の方向に隣接するシフトレジスタブロックに出力すると共に、該データイネーブル信号に基づいて第(M+1)～第(M+N)の階調データを保持し、前記第1～第Mのクロックマスク回路は、前記第2の方向に沿って第1～第Mのクロックマスク回路の順に接続され、前記第1～第Mのクロックマスク回路の順に前記第1～第Mのクロックのマスクを非解除状態に設定し、前記第(M+1)～第(M+N)のクロックマスク回路は、前記第2の方向に沿って第(M+1)～第(M+N)のクロックマスク回路の順に接続され、前記第(M+1)～第(M+N)のクロックマスク回路の順に前記第(M+1)～第(M+N)のクロックのマスクを解除状態に設定する表示駆動回路に関係する。

【 0 0 2 0 】

本発明においては、クロック入力制御回路により入力制御が行われるクロックが各シフトレジスタブロックに供給される。

【 0 0 2 1 】

この場合に、クロック入力制御回路を基準として第1の方向側の領域に第2の方向に沿って順に接続された第1～第Mのクロックマスク回路を、第1～第Mのクロックマスク回路の順にマスクを非解除状態に設定しながら、第1～第Mのシフトレジスタブロックは、供給されるクロックに基づき第2の方向にシフトされるデータイネーブル信号に基づいて第1～第Mの階調データを保持する。これにより、既に階調データを取り込んだシフトレジスタブロックに対するクロックの不要な駆動を回避することができる。すなわち、階調データの供給に必要なタイミングのみクロックを供給すればよいので不要な電力消費を削減することができる。

【 0 0 2 2 】

一方、クロック入力制御回路を基準として第2の方向側の領域に第2の方向に沿って順に接続された第(M+1)～第(M+N)のクロックマスク回路を、第(M+1)～第(M+N)のクロックマスク回路の順にマスクを解除状態に設定することにより、第(M+1)～第(M+N)のシフトレジスタブロックは、供

給されるクロックに基づき第2の方向にシフトされるデータイネーブル信号に基づいて第(M+1)～第(M+N)の階調データを保持する。これにより、これから階調データを取り込むシフトレジスタブロックに対してのみ、順次クロックを駆動していくことができる。すなわち、階調データの供給に必要なタイミングのみクロックを供給すればよいので不要な電力を削減することができる。

【0023】

また本発明は、階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、第1～第M(Mは正の整数)のシフトレジスタブロックに供給される階調データの入力制御を行うデータ入力制御回路と、前記第1～第Mのシフトレジスタブロックへ供給される階調データに対してマスク制御を行った第1～第Mの階調データを出力する第1～第Mのデータマスク回路と、前記データ入力制御回路を基準に第1の方向側の領域に配置され、前記第1～第Mの階調データを保持する第1～第Mのシフトレジスタブロックと、前記第1～第Mのシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路とを含み、前記第1～第Mのシフトレジスタブロックは、第1のシフトレジスタブロックに入力される所与のデータイネーブル信号をシフトして前記第1の方向と反対の第2の方向に隣接するシフトレジスタブロックに出力すると共に、前記第1～第Mのデータマスク回路によりマスク制御された第1～第Mの階調データを該データイネーブル信号に基づいて保持し、前記第1～第Mのデータマスク回路は、前記第2の方向に沿って第1～第Mのデータマスク回路の順に接続され、前記第1～第Mのデータマスク回路の順に前記第1～第Mの階調データのマスクを非解除状態に設定する表示駆動回路に関係する。

【0024】

本発明においては、データ入力制御回路を基準として第1の方向側の領域に第2の方向に沿って順に接続された第1～第Mのデータマスク回路を、第1～第Mのデータマスク回路の順にマスクを非解除状態に設定しながら、第1～第Mのシフトレジスタブロックは、第2の方向にシフトされるデータイネーブル信号に基づいて第1～第Mの階調データを保持する。これにより、既に階調データを取り込んだシフトレジスタブロックに対する階調データの不要な駆動を回避すること

ができる。すなわち、階調データの供給に必要なタイミングのみ、階調データが供給されるバスを駆動すればよいので不要な電力消費を削減することができる。

【 0 0 2 5 】

また本発明は、階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、第 1 ～ 第 N（N は正の整数）のシフトレジスタブロックに供給される階調データの入力制御を行うデータ入力制御回路と、前記第 1 ～ 第 N のシフトレジスタブロックへ供給される階調データに対してマスク制御を行った第 1 ～ 第 N の階調データを出力する第 1 ～ 第 N のデータマスク回路と、前記データ入力制御回路を基準に第 2 の方向側の領域に配置され、第 1 ～ 第 N の階調データを保持する第 1 ～ 第 N のシフトレジスタブロックと、前記第 1 ～ 第 N のシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路とを含み、前記第 1 ～ 第 N のシフトレジスタブロックは、第 1 のシフトレジスタブロックに入力される所与のデータイネーブル信号をシフトして前記第 2 の方向に隣接するシフトレジスタブロックに出力すると共に、前記第 1 ～ 第 N のデータマスク回路によりマスク制御された第 1 ～ 第 N の階調データを該データイネーブル信号に基づいて保持し、前記第 1 ～ 第 N のデータマスク回路は、前記第 2 の方向に沿って第 1 ～ 第 N のデータマスク回路の順に接続され、前記第 1 ～ 第 N のデータマスク回路の順に前記第 1 ～ 第 N の階調データのマスクを解除状態に設定する表示駆動回路に関係する。

【 0 0 2 6 】

本発明においては、データ入力制御回路を基準として第 2 の方向側の領域に第 2 の方向に沿って順に接続された第 1 ～ 第 N のデータマスク回路を、第 1 ～ 第 N のデータマスク回路の順にマスクを解除状態に設定することにより、第 1 ～ 第 N のシフトレジスタブロックは、第 2 の方向にシフトされるデータイネーブル信号に基づいて第 1 ～ 第 N の階調データを保持する。これにより、これから階調データを取り込むシフトレジスタブロックに対してのみ、順次階調データを駆動していくことができる。すなわち、階調データの供給に必要なタイミングのみ、階調データが供給されるバスを駆動すればよいので不要な電力消費を削減することができる。

【 0 0 2 7 】

また本発明は、階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、第 1 ～第 M（M は正の整数）のシフトレジスタブロックに供給されシフトタイミングを規定するクロックの入力制御を行うクロック入力制御回路と、前記第 1 ～第 M のシフトレジスタブロックへ供給されるクロックに対してマスク制御を行った第 1 ～第 M のクロックを出力する第 1 ～第 M のクロックマスク回路と、前記クロック入力制御回路を基準に第 1 の方向側の領域に配置され、第 1 ～第 M の階調データを保持する第 1 ～第 M のシフトレジスタブロックと、前記第 1 ～第 M のシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路とを含み、前記第 1 ～第 M のシフトレジスタブロックは、第 1 のシフトレジスタブロックに入力される所与のデータイネーブル信号を前記第 1 ～第 M のクロックに基づいてシフトして該第 1 の方向と反対の第 2 の方向に隣接するシフトレジスタブロックに出力すると共に、該データイネーブル信号に基づいて第 1 ～第 M の階調データを保持し、前記第 1 ～第 M のクロックマスク回路は、前記第 2 の方向に沿って第 1 ～第 M のクロックマスク回路の順に接続され、前記第 1 ～第 M のクロックマスク回路の順に前記第 1 ～第 M のクロックのマスクを非解除状態に設定する表示駆動回路に関係する。

【 0 0 2 8 】

本発明においては、クロック入力制御回路を基準として第 1 の方向側の領域に第 2 の方向に沿って順に接続された第 1 ～第 M のクロックマスク回路を、第 1 ～第 M のクロックマスク回路の順にマスクを非解除状態に設定しながら、第 1 ～第 M のシフトレジスタブロックは、供給されるクロックに基づき第 2 の方向にシフトされるデータイネーブル信号に基づいて第 1 ～第 M の階調データを保持する。これにより、既に階調データを取り込んだシフトレジスタブロックに対するクロックの不要な駆動を回避することができる。すなわち、階調データの供給に必要なタイミングに対応してクロックを供給すればよいので不要な電力消費を削減することができる。

【 0 0 2 9 】

また本発明は、階調データに基づいて表示装置の信号電極を駆動する表示駆動

回路であって、第1～第N（Nは正の整数）のシフトレジスタブロックに供給されシフトタイミングを規定するクロックの入力制御を行うクロック入力制御回路と、前記第1～第Nのシフトレジスタブロックへ供給されるクロックに対してマスク制御を行った前記第1～第Nのクロックを出力する第1～第Nのクロックマスク回路と、前記クロック入力制御回路を基準に第2の方向側の領域に配置され、第1～第Nの階調データを保持する第1～第Nのシフトレジスタブロックと、前記第1～第Nのシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路とを含み、前記第1～第Nのシフトレジスタブロックは、第1のシフトレジスタブロックに入力される所与のデータイネーブル信号を前記第1～第Nのクロックに基づいてシフトして前記第2の方向に隣接するシフトレジスタブロックに出力すると共に、該データイネーブル信号に基づいて第1～第Nの階調データを保持し、前記第1～第Nのクロックマスク回路は、前記第2の方向に沿って第1～第Nのクロックマスク回路の順に接続され、前記第1～第Nのクロックマスク回路の順に前記第1～第Nのクロックのマスクを解除状態に設定する表示駆動回路に関係する。

【 0 0 3 0 】

本発明においては、クロック入力制御回路を基準として第2の方向側の領域に第2の方向に沿って順に接続された第1～第Nのクロックマスク回路を、第1～第Nのクロックマスク回路の順にマスクを解除状態に設定することにより、第1～第Nのシフトレジスタブロックは、供給されるクロックに基づき第2の方向にシフトされるデータイネーブル信号に基づいて第1～第Nの階調データを保持する。これにより、これから階調データを取り込むシフトレジスタブロックに対してのみ、順次クロックを駆動していくことができる。すなわち、階調データの供給に必要なタイミングに対応してクロックを供給すればよいので不要な電力消費を削減することができる。

【 0 0 3 1 】

また本発明に係る表示装置は、互いに交差する複数の走査電極及び複数の信号電極により特定される画素と、前記走査電極を走査駆動する走査電極駆動回路と、階調データに基づいて、前記信号電極を駆動する上記いずれか記載の表示駆動

回路とを含むことができる。

【 0 0 3 2 】

また本発明に係る表示装置は、互いに交差する複数の走査電極及び複数の信号電極により特定される画素を含む表示パネルと、前記走査電極を走査駆動する走査電極駆動回路と、階調データに基づいて、前記信号電極を駆動する上記いずれか記載の表示駆動回路とを含むことができる。

【 0 0 3 3 】

本発明によれば、大幅に低消費電力化を図る表示装置を提供することができる。

【 0 0 3 4 】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

【 0 0 3 5 】

1. 液晶装置

図 1 に、液晶装置の構成の概要を示す。

【 0 0 3 6 】

液晶装置（広義には、電気光学装置、表示装置）10は、液晶パネル（広義には、表示パネル）20を含む。

【 0 0 3 7 】

液晶パネル20は、例えばガラス基板上に形成される。このガラス基板上には、Y方向に複数配列されそれぞれX方向に伸びる第1～第A（Aは2以上の整数）の走査電極（ゲートライン） $G_1 \sim G_A$ と、X方向に複数配列されそれぞれY方向に伸びる第1～第B（Bは2以上の整数）の信号電極（ソースライン） $S_1 \sim S_B$ とが配置されている。

【 0 0 3 8 】

第k（ $1 \leq k \leq A$ 、kは整数）の走査電極 G_k と第j（ $1 \leq j \leq B$ 、jは整数

) の信号電極 S_j との交差位置に対応して、画素（画素領域）が配置される。該画素は、TFT（広義には、画素スイッチ素子） 22_{jk} を含む。

【0039】

TFT 22_{jk} のゲート電極は、第 k の走査電極 G_k に接続されている。TFT 22_{jk} のソース電極は、第 j の信号電極 S_j に接続されている。TFT 22_{jk} のドレイン電極は、液晶容量（広義には液晶素子） 24_{jk} の画素電極 26_{jk} に接続されている。

【0040】

液晶容量 24_{jk} においては、画素電極 26_{jk} に対向する対向電極 28_{jk} との間に液晶が封入されて形成され、これら電極間の印加電圧に応じて画素の透過率が変化するようになっている。対向電極 28_{jk} には、対向電極電圧 V_{com} が供給される。

【0041】

液晶装置 10 は、信号ドライバ 30 を含むことができる。信号ドライバ 30 として、以下の実施形態における表示駆動回路を適用することができる。信号ドライバ 30 は、階調データに基づいて、液晶パネル 20 の第 1 ～ 第 B の信号電極 $S_1 \sim S_B$ を駆動する。

【0042】

液晶装置 10 は、走査ドライバ 32 を含むことができる。走査ドライバ 32 は、一垂直走査期間内に、液晶パネル 20 の第 1 ～ 第 A の走査電極 $G_1 \sim G_A$ を順次駆動する。

【0043】

液晶装置 10 は、電源回路 34 を含むことができる。電源回路 34 は、信号電極の駆動に必要な電圧を生成し、信号ドライバ 30 に対して供給する。また電源回路 34 は、走査電極の駆動に必要な電圧を生成し、走査ドライバ 32 に対して供給する。

【0044】

液晶装置 10 は、図示しないコモン電極駆動回路を含むことができる。コモン電極駆動回路は、電源回路 34 によって生成された対向電極電圧 V_{com} が供給

され、該対向電極電圧 V_{com} を液晶パネル 20 の対向電極に出力する。

【0045】

液晶装置 10 は、LCD コントローラ 36 を含むことができる。LCD コントローラ 36 は、図示しない中央処理装置 (Central Processing Unit: 以下、CPU と略す。) 等のホストにより設定された内容にしたがって、信号ドライバ 30、走査ドライバ 32、電源回路 34 を制御する。例えば、LCD コントローラ 36 は、信号ドライバ 30 及び走査ドライバ 32 に対し、動作モードの設定、内部で生成した垂直同期信号や水平同期信号の供給を行い、電源回路 34 に対し、極性反転タイミングの制御を行う。

【0046】

また液晶装置 10 には、例えば図示しないホストから画素単位で RGB 各色 6 ビットの計 18 ビットの階調データが順次入力される。信号ドライバ 30 は、該階調データをラッチして第 1 ～第 B の信号電極 $S_1 \sim S_B$ を駆動する。

【0047】

なお、ここでは液晶装置 10 は TFT 型液晶装置として説明したが、液晶装置 10 が単純マトリクス型液晶装置であってもよい。

【0048】

また図 1 では、液晶装置 10 に走査ドライバ 32、電源回路 34、コモン電極駆動回路又は LCD コントローラ 36 を含めて構成するようにしているが、これらのうち少なくとも 1 つを液晶装置 10 の外部に設けて構成するようにしてもよい。或いは、液晶装置 10 に、ホストを含めるように構成することも可能である。

【0049】

また、少なくとも信号ドライバ 30 を、液晶パネル 20 のガラス基板上に形成することも可能である。すなわち、液晶パネル 20 の上述した画素が形成される画素形成領域と信号ドライバ 30 とが同一ガラス基板上に形成されるようにしてもよい。また、図 2 に示すように、走査ドライバ 32 を、信号ドライバ 30 と共に該ガラス基板上に設けてもよい。

【0050】

2. 信号ドライバ

次に、図1又は図2に示した信号ドライバ30について説明する。

【0051】

図3に、信号ドライバ30の構成の概要を示す。

【0052】

信号ドライバ30は、シフトレジスタ部40、ラインラッチ回路42、DAC回路44、信号電極駆動回路46を含む。

【0053】

シフトレジスタ部40には、階調データDATAがシリアルに入力される。より具体的には、階調データDATAは、クロックCLKに同期してシフトするデータイネーブル信号EIOに基づいて取り込まれる。この結果、シフトレジスタ部40には、例えば一水平走査期間に対応する階調データが取り込まれる。

【0054】

図3においてシフトレジスタ部40に入力されるシフト信号SHLは、シフトレジスタのシフト方向を規定する信号である。すなわち、シフトレジスタ部40は、シフト信号SHLのレベルに応じてシフト方向が切り替えられるようになっている。したがって、信号ドライバ30の実装状態に応じて、信号ドライバ30と駆動対象となるLCDパネル20の信号電極との位置関係が変化する場合に、シフト信号SHLのレベルを変更することで、両者を接続する配線の長さを最適化することができる。またシフトレジスタ部40に入力されるリセット信号XRESは、内部の各回路を初期化する信号である。更に水平同期信号Hsyncは、水平走査タイミングを規定する信号である。例えば水平同期信号Hsyncを用いることで、水平走査周期で行われるシフトされるシフトレジスタ内の状態を初期化することができる。

【0055】

ラインラッチ回路42は、ラッチパルス信号LPにより、シフトレジスタ部40に取り込まれた階調データをラッチする。

【0056】

DAC (Digital-to-Analog Converter) 回路44は、ラインラッチ回路42

にラッチされた階調データに対応した駆動電圧を信号電極ごとに生成する。このようなDAC回路44は、例えば信号電極単位で、ラインラッチ回路42にラッチされた階調データを読み出し、多値の駆動電圧の中から階調データのデコード結果に対応する駆動電圧を選択する。

【0057】

信号電極駆動回路46は、第1～第Bの信号電極 $S_1 \sim S_B$ それぞれに対応して、ボルテージフォロワ接続されたオペアンプ回路を含む。そして、各信号電極は、DAC回路44で生成された駆動電圧が入力される該オペアンプ回路により駆動される。

【0058】

ところで信号ドライバ30は、駆動すべき信号電極の数が多い。したがって、図4(A)に示すように、信号ドライバ30の形状は信号電極の配列方向に長く、該配列方向と交差する方向に短くなることが一般的である。このような信号ドライバ30では、階調データを供給するための階調バスは信号ドライバ30の長辺方向に長くならざるを得ない。例えば各信号電極への配線長の差を小さくしたり、各種制御に必要な制御回路が中央部に設けられたりするため、図4(B)に示すように信号ドライバ30の中央部付近から階調バスを各信号電極に向けて配線することが行われる。しかし、この場合でも信号電極数の増加により、信号ドライバの長辺方向に長くなる傾向は変わらない。

【0059】

このように負荷が重い階調バスの駆動には、電力消費が多く、携帯機器等に搭載される場合に問題となっている。また、高精細プロセス等によりパッドピッチや配線ピッチが狭くなったとしても、表示パネルの大きさは大きくなる傾向にあるため、階調バスの駆動に伴う電力消費を大幅に削減することができない。

【0060】

そこで信号ドライバ30に適用される表示駆動回路は、シリアルに入力される階調データを階調バスに供給する場合に、不要な部分の駆動を行わないようにすることで、無駄な電力消費を削減することができる。

【0061】

図 5 に、信号ドライバに適用される表示駆動回路のシフトレジスタ部の構成の概要を示す。

【 0 0 6 2 】

なおここでは、各回路の接続関係に加えて、レイアウト配置も模式的に示している。すなわち図 5 では、シフトレジスタ部 4 0 は、信号電極の配列方向である信号ドライバの長辺方向に沿って形成されている状態を示している。

【 0 0 6 3 】

シフトレジスタ部 4 0 は、複数画素単位に分割されたシフトレジスタ (Shift Register : 以下、SR と略す。) ブロック $BLK_1 \sim BLK_{M+N}$ (M, N は正の整数) を含む。以下では説明を簡略化するために、シフトレジスタ部 4 0 の各 SR ブロックは 4 画素単位に分割されているものとし、シフトレジスタ部 4 0 は SR ブロック $BLK_1 \sim BLK_8$ (すなわち $M=N=4$) を含むものとする。例えば SR ブロック BLK_1 は、1 画素当たり 18 ビットからなる階調データ (例えば $D0_1$) を 4 画素分 ($D0_1 \sim D3_1$) ラッチして出力することを意味している。

【 0 0 6 4 】

シフトレジスタ部 4 0 に取り込まれる階調データは、データ入力制御回路 5 0 により入力制御される。データ入力制御回路 5 0 は、一水平走査期間が開始されると、例えば画素単位でシリアルに入力される階調データを SR ブロック $BLK_1 \sim BLK_8$ に順次供給し、一水平走査期間分の階調データの取り込みが終了すると SR ブロック $BLK_1 \sim BLK_8$ への階調データの出力を固定して無駄な電力消費を抑える。このようなデータ入力制御回路 5 0 は、信号ドライバ 3 0 の長辺方向について、ほぼ中央部に配置される。

【 0 0 6 5 】

すなわち、SR ブロック $BLK_1 \sim BLK_4$ (すなわち $M=4$) は、データ入力制御回路 5 0 を基準として右 (広義には第 1 の方向) 側の領域に配置されている。SR ブロック $BLK_5 \sim BLK_8$ (すなわち $N=4$) は、データ入力制御回路 5 0 を基準として左 (広義には第 1 の方向と反対の第 2 の方向) 側の領域に配置されている。

【 0 0 6 6 】

信号ドライバ 3 0 の長辺方向について、ほぼ中央部から入力されたデータイネーブル信号 EIO は、データイネーブル信号 EIO_0 として SR ブロック BLK_1 に入力される。

【 0 0 6 7 】

SR ブロック BLK_i ($1 \leq i \leq 8$) は、データイネーブル信号 EIO_{i-1} (第 $(i-1)$ のデータイネーブル信号) をクロック CLK に同期してシフトし、左方向に隣接して配置された SR ブロック BLK_{i+1} に出力する。SR ブロック BLK_i からシフト出力されるデータイネーブル信号は、データイネーブル信号 EIO_i (第 i のデータイネーブル信号) として出力される。

【 0 0 6 8 】

SR ブロック BLK_i は、第 i のデータイネーブル信号 EIO_i 及び内部で第 i のデータイネーブル信号 EIO_i がシフトされたデータイネーブル信号に基づいて第 i の階調データ $DATA_i$ をラッチする。例えば SR ブロック BLK_1 では、クロック CLK に同期して第 0 のデータイネーブル信号 EIO_0 をシフトすると共に、各シフトタイミングに同期してシリアルに入力される第 1 の階調データ $DATA_1$ を各データイネーブル信号に基づいてラッチする。こうすることで、SR ブロック BLK_1 は、4 画素分の階調データをラッチすることができる。なお SR ブロック BLK_1 は、クロック CLK の次のタイミングで第 1 のデータイネーブル信号 EIO_1 をシフト出力することになる。

【 0 0 6 9 】

なお、SR ブロック BLK_8 からシフト出力された第 8 のデータイネーブル信号 EIO_8 は、データ入力制御回路 5 0 に入力される。こうすることでデータ入力制御回路 5 0 は、第 0 のデータイネーブル信号 EIO_0 に同期して SR ブロック BLK_1 に第 1 の階調データ $DATA_1$ を出力させて階調データの供給を開始し、第 8 のデータイネーブル信号 EIO_8 に基づいて階調データの供給を終了させることができる。したがって、SR ブロック $BLK_1 \sim BLK_8$ に取り込まれる第 1 ～第 8 の階調データ $DATA_1 \sim DATA_8$ が入力されるときに階調データを出力し、それ以外の階調データの取り込みが行われない期間では階調データ

の出力を固定することで、階調データの不要な駆動を削除し、電力消費を削減することができる。

【 0 0 7 0 】

またシフトレジスタ部 4 0 は、SR ブロック $BLK_1 \sim BLK_8$ それぞれに対応して第 1 ～第 8 のデータマスク回路 $52_1 \sim 52_8$ を含む。第 1 ～第 4 のデータマスク回路 $52_1 \sim 52_4$ は、データ入力制御回路 5 0 を基準として右側の領域に、右方向に第 4 のデータマスク回路 52_4 、第 3 のデータマスク回路 52_3 、・・・、第 1 のデータマスク回路 52_1 の順に接続されて配置されている。すなわち、第 4 のデータマスク回路 52_4 が出力する第 4 の階調データ $DATA_4$ は、第 3 のデータマスク回路 52_3 に入力される。第 3 のデータマスク回路 52_3 が出力する第 3 の階調データ $DATA_3$ は、第 2 のデータマスク回路 52_2 に入力される。第 2 のデータマスク回路 52_2 が出力する第 2 の階調データ $DATA_2$ は、第 1 のデータマスク回路 52_1 に入力される。

【 0 0 7 1 】

また第 5 ～第 8 のデータマスク回路 $52_5 \sim 52_8$ は、データ入力制御回路 5 0 を基準として左側の領域に、左方向に第 5 のデータマスク回路 52_5 、第 6 のデータマスク回路 52_6 、・・・、第 8 のデータマスク回路 52_8 の順に接続されて配置されている。すなわち、第 5 のデータマスク回路 52_5 が出力する第 5 の階調データ $DATA_5$ は、第 6 のデータマスク回路 52_6 に入力される。第 6 のデータマスク回路 52_6 が出力する第 6 の階調データ $DATA_6$ は、第 7 のデータマスク回路 52_7 に入力される。第 7 のデータマスク回路 52_7 が出力する第 7 の階調データ $DATA_7$ は、第 8 のデータマスク回路 52_8 に入力される。

【 0 0 7 2 】

第 1 ～第 8 のデータマスク回路 $52_1 \sim 52_8$ は、SR ブロック $BLK_1 \sim BLK_8$ に供給される階調データに対してマスク制御を行った第 1 ～第 8 の階調データ $DATA_1 \sim DATA_8$ を出力する。ここで階調データに対するマスク制御とは、当該データマスク回路からの出力を固定する制御を行うことをいう。このようなマスク制御において、マスクの解除状態ではデータマスク回路からは入力された階調データがそのまま出力され、マスクの非解除状態ではデータマスク回

路からの出力が論理レベル「H」又は「L」等に固定される。

【 0 0 7 3 】

図5において、データ入力制御回路50から出力された階調データ（第0の階調データDATA₀）は、第4のデータマスク回路52₄に入力される。第4のデータマスク回路52₄は、第0の階調データDATA₀に対してマスク制御を行って第4の階調データDATA₄を出力する。第4の階調データDATA₄は、SRブロックBLK₄と第3のデータマスク回路52₃とに入力される。第4の階調データDATA₄がSRブロックBLK₄に入力された場合、第3のデータイネーブル信号EIO₃がシフト出力されているときに該階調データがラッチされる。一方、第3のデータマスク回路52₃は、第4の階調データDATA₄に対してマスク制御を行って第3の階調データDATA₃を生成する。第3の階調データDATA₃は、SRブロックBLK₃と第2のデータマスク回路52₂とに入力される。

【 0 0 7 4 】

したがって、第4及び第3のデータマスク回路52₄、52₃のマスク制御タイミングを工夫することで、データ入力制御回路50を介してシリアルに入力されるSRブロックBLK₃への階調データを、第3のデータマスク回路52₃から第3の階調データDATA₃として供給することができる。

【 0 0 7 5 】

第2及び第1のデータマスク回路52₂、52₁についても同様である。ただし、第1のデータマスク回路52₁で生成された第1の階調データDATA₁は、SRブロックBLK₁にのみ供給される。

【 0 0 7 6 】

図5において、データ入力制御回路50から出力された階調データ（第0の階調データDATA₀）は、第5のデータマスク回路52₅に入力される。第5のデータマスク回路52₅は、第0の階調データDATA₀に対してマスク制御を行って第5の階調データDATA₅を出力する。第5の階調データDATA₅は、SRブロックBLK₅と第6のデータマスク回路52₆とに入力される。第5の階調データDATA₅がSRブロックBLK₅に入力された場合、第4のデー

タイネーブル信号 EIO_4 がシフト出力されているときに該階調データがラッチされる。一方、第6のデータマスク回路 52_6 は、第5の階調データ $DATA_5$ に対してマスク制御を行って第6の階調データ $DATA_6$ を生成する。第6の階調データ $DATA_6$ は、SRブロック BLK_6 と第7のデータマスク回路 52_7 とに入力される。

【0077】

第7及び第8のデータマスク回路 52_7 、 52_8 についても同様である。ただし、第8のデータマスク回路 52_8 で生成された第8の階調データ $DATA_8$ は、SRブロック BLK_8 にのみ供給される。

【0078】

ところで、図5においては、データ入力制御回路50を基準とした右側の領域では、左方向にシフトされるデータイネーブル信号に基づいてラッチされる第1～第4の階調データは右方向に転送される。したがって、SRブロック BLK_1 ～ BLK_4 については、データイネーブル信号のブロック単位のシフトタイミングに応じて、第1のデータマスク回路 52_1 、第2のデータマスク回路 52_2 、・・・、第4のデータマスク回路 52_4 の順にその出力である階調データのマスクを非解除状態にする（出力を固定する）ようにしている。これにより、階調データが供給される階調バスを、各SRブロックのシフトタイミングを考慮して順次不要となった部分を駆動しなくて済み、駆動に伴う無駄な電力消費を大幅に抑えることができる。

【0079】

また、データ入力制御回路50を基準とした左側の領域では、左方向にシフトされるデータイネーブル信号に基づいてラッチされる第5～第8の階調データは左方向に転送される。したがって、SRブロック BLK_5 ～ BLK_8 については、データイネーブル信号のブロック単位のシフトタイミングに応じて、第5のデータマスク回路 52_5 、第6のデータマスク回路 52_6 、・・・、第8のデータマスク回路 52_8 の順にその出力である階調データのマスクを解除状態にするようにしている。これにより、階調データが供給される階調バスを、各SRブロックのシフトタイミングを考慮して順次必要となった部分から駆動することで、駆

動に伴う無駄な電力消費を大幅に抑えることができる。

【 0 0 8 0 】

なお、図 5 では階調データのマスク制御を行うことで低消費化を図るようにしていたが、信号電極の配列方向に配置され各 S R ブロックに共通に接続される制御信号やその他のバスについても同様のマスク制御を行うことで低消費化を図ることができる。

【 0 0 8 1 】

以下では、構成についてより具体的に説明する。

【 0 0 8 2 】

2. 1 第 1 の実施形態

図 6 に、第 1 の実施形態における表示駆動回路のシフトレジスタ部の構成の概要を示す。

【 0 0 8 3 】

なお図 6 に示すシフトレジスタ部と同一部分には同一符号を付し、適宜説明を省略する。

【 0 0 8 4 】

第 1 の実施形態における表示駆動回路は、図 3 に示す信号ドライバに適用することができる。この場合、図 6 のシフトレジスタ部は図 3 のシフトレジスタ部 4 0 に相当する。

【 0 0 8 5 】

図 6 においては、第 1 ～第 8 のデータマスク回路 5 2 ₁ ～ 5 2 ₈ のそれぞれに対応して、第 1 ～第 8 のデータマスク制御回路 5 4 ₁ ～ 5 4 ₈ が設けられている。第 1 ～第 8 のデータマスク制御回路 5 4 ₁ ～ 5 4 ₈ は、第 1 ～第 8 のデータマスク制御信号 DM₁ ～ DM₈ を生成する。第 1 ～第 8 のデータマスク回路 5 2 ₁ ～ 5 2 ₈ は、第 1 ～第 8 のデータマスク制御信号 DM₁ ～ DM₈ に基づいて階調データのマスク制御を行って、第 1 ～第 8 の階調データ DATA₁ ～ DATA₈ を出力する。

【 0 0 8 6 】

データ入力制御回路 5 0 を基準として右側の領域では、S R ブロックを含む第

1の系の第1～第4の回路ブロックを形成することができる。またデータ入力制御回路50を基準とした左側の領域では、SRブロックを含む第2の系の第5～第8の回路ブロックを形成することができる。第1及び第2の系では、上述したようにマスク制御方法が異なり、データマスク制御信号の生成方法が異なる。

【0087】

2. 1. 1 第1の系

図7に、第1の実施形態における第1の系の回路ブロックの構成の概要を示す。

【0088】

ここでは、第 a ($1 \leq a \leq M (=4)$ 、 a は整数)の回路ブロック60 _{a} を示す。第 a の回路ブロックは、SRブロックBLK _{a} 、第 a のデータマスク回路52 _{a} 、第 a のデータマスク制御回路54 _{a} を含む。

【0089】

第 a のデータマスク制御回路54 _{a} は、SRブロックBLK _{a} からシフト出力されたデータイネーブル信号EIO _{a} (第 a のデータイネーブル信号)に基づいて第 a のデータマスク制御信号DM _{a} を生成する。

【0090】

第 a のデータマスク回路52 _{a} は、第 a のデータマスク制御信号DM _{a} により、第 $(a+1)$ の階調データDATA _{$a+1$} に対しマスク制御を行った第 a の階調データDATA _{a} を生成する。

【0091】

このような構成により、第1の系では、第1～第4のデータマスク回路52₁～52₄は、順次マスクの解除状態から非解除状態に設定することになる。

【0092】

このようにマスク制御された第 a の階調データDATA _{a} は、SRブロックBLK _{a} において、第 $(a-1)$ のデータイネーブル信号EIO _{$a-1$} をシフトしたタイミングでラッチされる。そして、SRブロックBLK _{a} から4画素分の階調データが読み出され、ラインラッチにラッチされる。その後、ラッチされた階調データに対応した駆動電圧が生成され、信号電極駆動回路から出力される。

【 0 0 9 3 】

2. 1. 2 第 2 の 系

図 8 に、第 1 の実施形態における第 2 の系の回路ブロックの構成の概要を示す。

【 0 0 9 4 】

ここでは、第 b ($M+1 (=5) \leq b \leq M+N (=8)$ 、 b は整数) の回路ブロック 60_b を示す。第 b の回路ブロックは、SR ブロック BLK_b 、第 b のデータマスク回路 52_b 、第 b のデータマスク制御回路 54_b を含む。

【 0 0 9 5 】

第 b のデータマスク制御回路 54_b は、SR ブロック BLK_{b-1} からシフト出力されたデータイネーブル信号 EIO_{b-1} (第 $(b-1)$ のデータイネーブル信号) に基づいて第 b のデータマスク制御信号 DM_b を生成する。

【 0 0 9 6 】

第 b のデータマスク回路 52_b は、第 b のデータマスク制御信号 DM_b により、第 $(b-1)$ の階調データ $DATA_{b-1}$ に対しマスク制御を行った第 b の階調データ $DATA_b$ を生成する。

【 0 0 9 7 】

このような構成により、第 2 の系では、第 5 ～ 第 8 のデータマスク回路 $52_5 \sim 52_8$ は、前段の階調データに対して順次マスクを非解除状態から解除状態に設定することになる。

【 0 0 9 8 】

このようにマスク制御された第 b の階調データ $DATA_b$ は、SR ブロック BLK_b において、第 $(b-1)$ のデータイネーブル信号 EIO_{b-1} をシフトしたタイミングでラッチされる。そして、SR ブロック BLK_b から 4 画素分の階調データが読み出され、ラインラッチにラッチされる。その後、ラッチされた階調データに対応した駆動電圧が生成され、信号電極駆動回路から出力される。

【 0 0 9 9 】

2. 1. 3 タイミング例

図 9 に、図 6 に示した表示駆動回路の階調データの取り込みタイミングの一例

を示す。

【 0 1 0 0 】

S R ブロック B L K ₁ ~ B L K ₈ には、第 0 ~ 第 7 のデータイネーブル信号 E I O ₀ ~ E I O ₇ が入力される。各 S R ブロックでは、入力されたデータイネーブル信号をシフトし、隣接する S R ブロックに順次データイネーブル信号を出力していく。各 S R ブロック内では、シフトされたデータイネーブル信号の立ち下がりエッジで、入力される階調データをラッチする。

【 0 1 0 1 】

データ入力制御回路 5 0 は、第 0 のデータイネーブル信号 E I O ₀ の入力タイミングに合わせて階調データを第 4 及び第 5 のデータマスク回路 5 2 ₄、5 2 ₅ に出力する。第 4 のデータマスク回路 5 2 ₄ は、マスクが解除状態に設定されているため、入力された階調データがそのまま第 3 のデータマスク回路 5 2 ₃ に出力される。同様にして、第 3、第 2 及び第 1 のデータマスク回路 5 2 ₃、5 2 ₂、5 2 ₁ を介して出力された階調データは、第 1 の階調データ D A T A ₁ として S R ブロック B L K ₁ に出力される。S R ブロック B L K ₁ では、4 画素分の階調データが順次取り込まれる。

【 0 1 0 2 】

一方、第 5 のデータマスク回路 5 2 ₅ は、マスクが非解除状態に設定されているため、その出力が論理レベル「L」に固定された状態となっており、第 6 のデータマスク回路 5 2 ₆ 以降にデータ入力制御回路 5 0 からの階調データが供給されることはない。

【 0 1 0 3 】

続く S R ブロック B L K ₂ に対応する階調データについては、第 2 のデータマスク回路 5 2 ₂ までは上述と同様である。第 1 のデータマスク制御回路 5 4 ₁ は、S R ブロック B L K ₁ からシフト出力された第 1 のデータイネーブル信号 E I O ₁ に基づいて第 1 のデータマスク制御信号 D M ₁ を生成する。そして、第 1 のデータマスク回路 5 2 ₁ は、次のデータイネーブル信号のシフトタイミング以降、第 1 のデータマスク制御信号 D M ₁ を用いてその出力を論理レベル「L」に固定する。

【0104】

同様にして第3及び第4のデータマスク回路52₃、52₄は、順次その出力が論理レベル「L」に固定していく。

【0105】

この結果、図9に示すように、第1の系の第1～第4の階調データDATA₁～DATA₄は、次のようになる。

【0106】

第1の階調データDATA₁は、SRブロックBLK₁に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第2の階調データDATA₂は、SRブロックBLK₁、BLK₂に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第3の階調データDATA₃は、SRブロックBLK₁～BLK₃に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第4の階調データDATA₄は、SRブロックBLK₁～BLK₄に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。

【0107】

SRブロックBLK₄から第4のデータイネーブル信号EIO₄がシフト出力されると、第5のデータマスク制御回路54₅において生成された第5のデータマスク制御信号DM₅により、第5のデータマスク回路52₅の出力のマスクが解除状態に設定される。このときデータ入力制御回路50からは、SRブロックBLK₅に対応する階調データが入力される。したがって、SRブロックBLK₅は、第5の階調データDATA₅をラッチすることができる。しかし、この時点で第6のデータマスク回路52₆の出力は、マスクが非解除状態のままである。

【0108】

次に、SRブロックBLK₅から第5のデータイネーブル信号EIO₅がシフト出力されると、第6のデータマスク制御回路54₆において生成された第6のデータマスク制御信号DM₆により、第6のデータマスク回路52₆の出力のマスクが解除状態に設定される。このときデータ入力制御回路50からは、解除状

態のままに設定された第5のデータマスク回路52₅を介してSRブロックBLK₆に対応する階調データが入力される。したがって、SRブロックBLK₆は、第6の階調データDATA₆をラッチすることができる。しかし、この時点で第7のデータマスク回路52₇の出力は、マスクが非解除状態のままである。

【0109】

同様にして、SRブロックBLK₇、BLK₈では、順次第7及び第8の階調データDATA₇、DATA₈がラッチされる。

【0110】

この結果、図9に示すように、第2の系の第5～第8の階調データDATA₅～DATA₈は、次のようになる。

【0111】

第8の階調データDATA₈は、SRブロックBLK₈に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第7の階調データDATA₇は、SRブロックBLK₇、BLK₈に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第6の階調データDATA₆は、SRブロックBLK₆～BLK₈に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第5の階調データDATA₅は、SRブロックBLK₅～BLK₈に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。

【0112】

2. 1. 4 比較例

ここで、比較例を挙げ、上述した第1の実施形態の効果を説明する。

【0113】

図10(A)に、比較例におけるシフトレジスタ部の構成の一例を示す。

【0114】

比較例におけるシフトレジスタ部70では、データイネーブル信号EIOをシフトし、シフトされたデータイネーブル信号に基づいて、各フリップフロップに共通に接続された階調バス上の階調データを順次取り込んでいく。

【0115】

図 1 0 (B) に、比較例におけるシフトレジスタ部の動作タイミングの一例を示す。

【 0 1 1 6 】

階調バス上には、画素単位で階調データがシリアルに供給される。したがって、各フリップフロップは、データイネーブル信号 E I O がシフトするたびに、順次階調バス上の階調データを取り込んでいくことになる。

【 0 1 1 7 】

ところで、図 1 0 (A) に示すように、階調バスはシフトレジスタ部 7 0 の各フリップフロップに共通に接続されている。そのため、一水平走査周期分の階調データをラッチし終わるまで、階調バスは、保持すべき階調データの値に応じて論理レベル「H」、「L」の駆動を繰り返すことになる。すなわち、1 画素目の階調データのラッチが終了すると、1 画素目のフリップフロップに接続される階調バスへの駆動は不要であるにも関わらず、1 水平走査期間分の最終画素の階調データのラッチが終了するまで駆動されることになる。

【 0 1 1 8 】

これに対して、第 1 の実施形態では、図 9 に示すように、第 1 の系では不要になった部分の駆動を行うことなく、第 2 の系では必要になった部分から駆動を開始していくことで、階調バスの駆動に伴う無駄な電力消費を大幅に削減することができる。

【 0 1 1 9 】

2. 1. 5 詳細な回路構成例

図 1 1 に、第 1 の実施形態における表示駆動回路のシフトレジスタ部の詳細な構成例の全体ブロック図を示す。

【 0 1 2 0 】

シフトレジスタ部 9 0 は、図 3 に示したシフトレジスタ部 4 0 に相当する。このシフトレジスタ部 9 0 は、図 7 に示した構成の第 1 の系の第 1 ～第 4 の回路ブロック 6 0₁ ～ 6 0₄ と、図 8 に示した構成の第 2 の系の第 5 ～第 8 の回路ブロック 6 0₅ ～ 6 0₈ を含む。

【 0 1 2 1 】

シフトレジスタ部 9 0 には、シフト信号 S H L が入力され、第 1 ～第 8 の回路ブロック 6 0₁ ～ 6 0₈ に供給されている。第 1 ～第 8 の回路ブロック 6 0₁ ～ 6 0₈ は、シフト信号 S H L の論理レベルに応じて、シフト方向を第 1 又は第 2 の方向に切り替えられるようになっている。

【 0 1 2 2 】

シフトレジスタ部 9 0 に入力される水平同期信号 H s y n c に基づき、第 1 ～第 8 の回路ブロック 6 0₁ ～ 6 0₈ のフリップフロップの初期化が行われる。また、シフトレジスタ部 9 0 に入力されるリセット信号 X R E S に基づき、第 1 ～第 8 の回路ブロック 6 0₁ ～ 6 0₈ の内部状態が初期化される。

【 0 1 2 3 】

シフトレジスタ部 9 0 に入力される階調データは、データ入力制御回路 5 0 によりその出力が制御される。データ入力制御回路 5 0 は、データ端子 D が電源電位に接続されたフリップフロップを有し、反転出力端子 X Q により階調データ D A T A の出力が制御される。このフリップフロップは、シフト信号 S H L に応じてデータイネーブル信号 E I O₈ 又はデータイネーブル信号 E I O₈' に基づいてデータ端子 D のレベルをラッチする。

【 0 1 2 4 】

ここで、第 8 のデータイネーブル信号 E I O₈ は、第 1 の回路ブロック 6 0₁ に入力された第 0 のデータイネーブル信号 E I O₀ がシフトされて第 8 の回路ブロック 6 0₈ からシフト出力されたものである。また、データイネーブル信号 E I O₈' は、第 8 の回路ブロック 6 0₈ に入力されたデータイネーブル信号 E I O₀' がシフトされて第 1 の回路ブロック 6 0₁ からシフト出力されたものである。第 1 ～第 8 の回路ブロック 6 0₁ ～ 6 0₈ は、シフト信号 S H L が第 1 のレベルのときデータイネーブル信号を第 1 の方向にシフトし、第 2 のレベルのときデータイネーブル信号を第 2 の方向にシフトするようになっている。

【 0 1 2 5 】

図 1 2 に、第 1 の回路ブロックに含まれる S R ブロックの回路構成の一例を示す。

【 0 1 2 6 】

第1～第8の回路ブロック $60_1 \sim 60_8$ に含まれるSRブロックは、全て同一構成とすることができる。実際には1画素当たり18ビットで構成されるが、図12では画素単位に回路を簡素化して示している。

【0127】

SRブロック100は、画素単位に設けられた階調データ保持部 $102_0 \sim 102_3$ を含む。階調データ保持部 102_i ($0 \leq i \leq 3$ 、 i は整数)は、ラッチ回路 104_{i-1} 、 104_{i-2} 、 106_{i-1} 、 106_{i-2} を含む。各ラッチ回路は、C端子に入力された信号の論理レベルが「H」の期間、D端子から入力された信号をM端子から出力させて、C端子に入力された信号の論理レベルが「L」に変化した時点のD端子の論理レベルを保持するレベルラッチ回路である。

【0128】

階調データ保持部 102_i では、ラッチ回路 104_{i-1} のM端子とラッチ回路 104_{i-2} のD端子とが接続される。そして、ラッチ回路 104_{i-1} のM端子がセクタ回路 108_i の一方の入力端子に入力される。

【0129】

入力端子EI1から階調データ保持部 102_0 のラッチ回路 104_{0-1} のD端子に入力されたデータイネーブル信号は、図12に示すように、クロックCLKの半周期ごとに各ラッチ回路で保持され、最終的に階調データ保持部 102_3 のラッチ回路 104_{3-2} のM端子から出力される。

【0130】

また階調データ保持部 102_i では、ラッチ回路 106_{i-1} のM端子とラッチ回路 106_{i-2} のD端子とが接続される。そして、ラッチ回路 106_{i-1} のM端子がセクタ回路 108_i の他方の入力端子に入力される。

【0131】

入力端子EI2から階調データ保持部 102_3 のラッチ回路 106_{3-1} のD端子に入力されたデータイネーブル信号は、図12に示すように、クロックCLKの半周期ごとに各ラッチ回路で保持され、最終的に階調データ保持部 102_0 のラッチ回路 106_{0-2} のM端子から出力される。

【 0 1 3 2 】

セクタ回路 $108_0 \sim 108_3$ は、シフト信号 SHL の論理レベルが「H」のときラッチ回路 $106_{0-1} \sim 106_{3-1}$ のM端子からの出力を選択し、シフト信号 SHL の論理レベルが「L」のときラッチ回路 $104_{0-1} \sim 104_{3-1}$ のM端子からの出力を選択する。セクタ回路 $108_0 \sim 108_3$ の出力は、階調データラッチ回路 $110_0 \sim 110_1$ のC端子に接続される。階調データラッチ回路 $110_0 \sim 110_1$ のD端子には階調データ $DATA$ が供給される階調バスが接続され、そのM端子から保持された階調データ $D_0 \sim D_3$ が出力される。

【 0 1 3 3 】

このようにSRブロックは、クロック CLK の半周期ごとに、データイネーブル信号をシフトし、シフトされたデータイネーブル信号に基づいて階調バス上の階調データを保持する。

【 0 1 3 4 】

なお、第2の系における各回路ブロックのSRブロックでも、図12に示す構成と同様の構成で実現することができる。

【 0 1 3 5 】

図13に、データマスク制御回路及びデータマスク回路の回路構成例を示す。

【 0 1 3 6 】

ここでは第1の系の第2のデータマスク制御回路 54_1 と、第2のデータマスク回路 52_2 の構成例を示すが、第1の系の他のデータマスク制御回路、他のデータマスク回路、又は第2の系の場合でも同様の構成で実現することができる。

【 0 1 3 7 】

第2のデータマスク制御回路 54_2 では、シフト信号 SHL の論理レベルに応じて、SRブロック BLK_2 、 BLK_3 のいずれかからシフト出力されたデータイネーブル信号を、シフト信号 SHL を反転させた反転シフト信号 $XSHL$ に応じて位相を反転させて、フリップフロップ FF_2 のC端子に入力させる。フリップフロップ FF_2 のD端子は電源電位 V_{dd} に接続され、R端子は水平同期信号 $Hsync$ が入力される。フリップフロップ FF_2 のQ端子からの出力は、反転シ

フト信号XSHLに応じて位相を反転させて、第2のデータマスク制御信号DM₂として出力される。

【0138】

第2のデータマスク回路52₂では、第3の階調データDATA₃と、第2のデータマスク制御信号DM₂との論理積をとり、第2の階調データDATA₂として出力させる。

【0139】

このように第2のデータマスク制御回路54₂は、シフト方向に応じてSRブロックBLK₂、BLK₃のいずれかからシフト出力されたデータイネーブル信号によりフリップフロップFF₂をセットし、当該水平走査期間においてそれ以降、第2のデータマスク回路52₂により第3の階調データDATA₃に対するマスクを非解除状態に設定することができる。

【0140】

図14に、第1の系の回路ブロックの動作タイミングの一例を示す。

【0141】

データイネーブル信号EIOが入力され、画素単位で順次階調データDATAが入力されると、データ入力制御回路50は第4及び第5の回路ブロック60₄、60₅に対して、第0の階調データDATA₀を出力する。

【0142】

第1～第4の回路ブロック60₁～60₄に着目すると、例えばデータイネーブル信号EIOは第0のデータイネーブル信号EIO₀として第1の回路ブロック60₁から第4の回路ブロック60₄の方向にシフトされる。したがって、第2のデータマスク回路52₁は、第1のデータイネーブル信号EIO₁がシフト出力されるまで第1の階調データDATA₁のマスクを解除状態にし、第1のデータイネーブル信号EIO₁がシフト出力されると第1の階調データDATA₁のマスクを非解除状態に設定する(T1)。

【0143】

同様に、第2の回路ブロック60₂の第2のデータマスク回路52₂は、第2のデータイネーブル信号EIO₂がシフト出力されるまで第2の階調データDA

TA₂ のマスクを解除状態にし、第2のデータイネーブル信号EIO₂ がシフト出力されると第2の階調データDATA₂ のマスクを非解除状態に設定する (T₂)。

【0144】

第3及び第4の回路ブロック60₃、60₄でも同様に上述のマスク制御が行われる。このように第1～第4のデータマスク回路52₁～52₄は、第1～第4のデータイネーブル信号EIO₁～EIO₄ がシフト出力されるまで第1～第4の階調データDATA₁～DATA₄ のマスクを解除状態にし、第1～第4のデータイネーブル信号EIO₁～EIO₄ がシフト出力されると第1～第4の階調データDATA₁～DATA₄ のマスクを非解除状態に設定する (T₁～T₄)。したがって、階調データの供給に必要なタイミングのみ、バスを駆動すればよいので不要な電力消費を大幅に削減することができる。

【0145】

図15に、第2の系の動作タイミングの一例を示す。

【0146】

データイネーブル信号EIOが入力され、画素単位で順次階調データDATAが入力されると、データ入力制御回路50は第4及び第5の回路ブロック60₄、60₅に対して、第0の階調データDATA₀を出力する。

【0147】

ここでは、第2の系の第5～第8の回路ブロック60₅～60₈が、第4の回路ブロック60₄からシフト出力された第4のデータイネーブル信号EIO₄を、第5の回路ブロック60₅から第8の回路ブロック60₈の方向にシフトする場合について説明する。

【0148】

第5のデータマスク回路52₅は、第4のデータイネーブル信号EIO₄ がシフト出力されてから第0の階調データDATA₀ のマスクを解除状態にして第5の階調データDATA₅ を出力し、少なくとも第8のデータイネーブル信号EIO₈ が出力されるまで (図15では一水平走査期間が終了するまで) マスクの解除状態を維持する (T₅)。

【 0 1 4 9 】

同様に、第 6 の回路ブロック 6 0₆ の第 6 のデータマスク回路 5 2₆ は、第 5 のデータイネーブル信号 E I O₅ がシフト出力されてから、第 5 の階調データ D A T A₅ のマスクを解除状態にして第 6 の階調データ D A T A₆ を出力し、少なくとも第 8 のデータイネーブル信号 E I O₈ が出力されるまで（図 1 5 では一水平走査期間が終了するまで）マスクの解除状態を維持する（T 6）。

【 0 1 5 0 】

第 7 及び第 8 の回路ブロック 6 0₇、6 0₈ でも同様に上述のマスク制御が行われる。このように第 5 ～第 8 のデータマスク回路 5 2₅ ～5 2₈ は、第 4 ～第 7 のデータイネーブル信号 E I O₄ ～E I O₇ がシフト出力されてから、第 0 の階調データ D A T A₀、第 5 ～第 7 の階調データ D A T A₅ ～D A T A₇ のマスクを解除状態にして第 5 ～第 8 の階調データ D A T A₅ ～D A T A₈ を出力し、少なくとも第 8 のデータイネーブル信号 E I O₈ が出力されるまで（図 1 5 では一水平走査期間が終了するまで）マスクの解除状態を維持する（T 5 ～T 8）。したがって、階調データの供給に必要なタイミングのみ、バスを駆動すればよいので不要な電力消費を大幅に削減することができる。

【 0 1 5 1 】

またデータ入力制御回路 5 0 により、一水平走査期間（1 H）の全期間にわたって階調データを駆動する必要がなくなる。すなわち、第 8 のデータイネーブル信号 E I O₈ がシフト出力されてから次の水平走査期間が開始されるまでの間、階調データを駆動する必要がなくなり、その分の電力消費を削減することができる。

【 0 1 5 2 】

2. 2 第 2 の実施形態

第 1 の実施形態では各 S R ブロックに供給される階調データについてマスク制御を行っていたが、これに限定されるものではない。第 2 の実施形態では各 S R ブロックに供給される階調データ及びクロックについてマスク制御を行うことができる。

【 0 1 5 3 】

図 1 6 に、第 2 の実施形態における表示駆動回路のシフトレジスタ部の構成の概要を示す。

【 0 1 5 4 】

ただし、図 6 に示す第 1 の実施形態における表示駆動回路のシフトレジスタ部と同一の部分には同一符号を付し、適宜説明を省略する。この第 2 の実施形態における表示駆動回路は、図 3 に示す信号ドライバに適用することができる。この場合、図 1 6 のシフトレジスタ部は図 3 のシフトレジスタ部 4 0 に相当する。

【 0 1 5 5 】

図 1 6 では、まず第 1 ～第 8 のデータマスク回路 $52_1 \sim 52_8$ のそれぞれに対応して、第 1 ～第 8 のクロックマスク回路 $118_1 \sim 118_8$ が設けられている。また、第 1 ～第 8 のデータマスク回路 $52_1 \sim 52_8$ のそれぞれに対応して、第 1 ～第 8 のマスク制御回路 $120_1 \sim 120_8$ が設けられている。

【 0 1 5 6 】

第 1 ～第 8 のマスク制御回路 $120_1 \sim 120_8$ は、第 1 の実施形態における第 1 ～第 8 のデータマスク制御回路 $54_1 \sim 54_8$ と同様の機能を有し、かつ第 1 ～第 8 のクロックマスク制御信号 $CM_1 \sim CM_8$ を生成することができるようになっている。第 1 ～第 8 のクロックマスク回路 $118_1 \sim 118_8$ は、第 1 ～第 8 のクロックマスク制御信号 $CM_1 \sim CM_8$ に基づいてマスク制御を行った第 1 ～第 8 のクロック $CLK_1 \sim CLK_8$ を生成する。

【 0 1 5 7 】

また図 6 と同様に、第 1 ～第 8 のクロックマスク回路 $118_1 \sim 118_8$ は、クロック入力制御回路 1 2 4 を基準に右側に配置されるか、左側に配置されるかにより、マスク制御方法が異なり、クロックマスク制御信号の生成方法が異なる。したがって、クロック CLK のマスク制御についても、図 7 及び図 8 と同様に第 1 及び第 2 の系に分けて制御することができる。

【 0 1 5 8 】

2. 2. 1 第 1 の系

図 1 7 に、第 2 の実施形態における第 1 の系の回路ブロックの構成の概要を示す。

【 0 1 5 9 】

ただし、図 7 に示す第 1 の系の回路ブロック 60_a ($1 \leq a \leq M (= 4)$ 、 a は整数) と同一部分には同一符号を付し適宜説明を省略する。

【 0 1 6 0 】

第 2 の実施形態における第 1 の系の回路ブロック 130_a が第 1 の実施形態における第 1 の系の回路ブロック 60_a と異なる点は、第 a のクロックマスク制御回路 132_a と、第 a のクロックマスク回路 118_a とを含む点である。

【 0 1 6 1 】

第 a のクロックマスク制御回路 132_a は、SR ブロック BLK_a からシフト出力されたデータイネーブル信号 EIO_a (第 a のデータイネーブル信号) に基づいて第 a のクロックマスク制御信号 CM_a を生成する。

【 0 1 6 2 】

第 a のクロックマスク回路 118_a は、第 a のクロックマスク制御信号 CM_a により、第 $(a + 1)$ のクロック CLK_{a+1} に対しマスク制御を行った第 a のクロック CLK_a を生成する。

【 0 1 6 3 】

2. 2. 2 第 2 の系

図 1 8 に、第 2 の実施形態における第 2 の系の回路ブロックの構成の概要を示す。

【 0 1 6 4 】

ただし、図 8 に示す第 2 の系の回路ブロック 60_b ($M + 1 (= 5) \leq b \leq M + N (= 8)$ 、 b は整数) と同一部分には同一符号を付し適宜説明を省略する。

【 0 1 6 5 】

第 2 の実施形態における第 2 の系の回路ブロック 130_b が第 1 の実施形態における第 1 の系の回路ブロック 60_b と異なる点は、第 b のクロックマスク制御回路 132_b と、第 b のクロックマスク回路 118_b とを含む点である。

【 0 1 6 6 】

第 b のクロックマスク制御回路 132_b は、SR ブロック BLK_{b-1} からシフト出力されたデータイネーブル信号 EIO_{b-1} (第 $(b - 1)$ のデータイネ

ーブル信号) に基づいて第 b のクロックマスク制御信号 CM_b を生成する。

【0167】

第 b のクロックマスク回路 118_b は、第 b のクロックマスク制御信号 CM_b により、第 $(b-1)$ のクロック CLK_{b-1} に対しマスク制御を行った第 b のクロック CLK_b を生成する。

【0168】

2. 2. 3 タイミング例

図 19 に、図 16 に示した表示駆動回路の階調データの取り込みタイミングの一例を示す。

【0169】

ここで、データのマスク制御については図 9 と同様であるため説明を省略し、クロックのマスク制御についてのみ説明する。

【0170】

SR ブロック $BLK_1 \sim BLK_8$ には、第 0 ～ 第 7 のデータイネーブル信号 $EIO_0 \sim EIO_7$ が入力される。各 SR ブロックでは、入力されたデータイネーブル信号をシフトし、隣接する SR ブロックに順次データイネーブル信号を出力していく。各 SR ブロック内では、シフトされたデータイネーブル信号の立ち下がりエッジで、入力される階調データをラッチする。

【0171】

クロック入力制御回路 124 には、データイネーブル信号のシフトタイミングを規定するクロック CLK が入力される。クロック入力制御回路 124 は、階調データの取り込み期間（例えば第 0 のデータイネーブル信号 EIO_0 が入力されて第 8 のデータイネーブル信号 EIO_8 が出力されるまでの期間）において、第 0 のクロック CLK_0 を第 4 及び第 5 のクロックマスク回路 118_4 、 118_5 に対して出力する。

【0172】

第 4 のクロックマスク回路 118_4 は、マスクが解除状態に設定されており、入力されたクロックがそのまま第 3 のクロックマスク回路 118_3 に出力される。同様にして、第 2 及び第 1 のクロックマスク回路 118_2 、 118_1 を介して

出力されたクロックは、第1のクロック CLK_1 としてSRブロック BLK_1 に出力される。SRブロック BLK_1 では、第1のクロック CLK_1 に同期して第0のデータイネーブル信号 EIO_0 をシフトし、階調データを取り込む。

【0173】

一方、第5のクロックマスク回路118₅は、マスクが非解除状態に設定されており、その出力が論理レベル「L」に固定された状態となっている。したがって、第6のクロックマスク回路118₆以降にクロック入力制御回路124からのクロックが供給されることはない。

【0174】

続くSRブロック BLK_2 に対応するクロックについては、第2のクロックマスク回路118₂までは上述と同様である。第1のマスク制御回路120₁は、SRブロック BLK_1 からシフト出力された第1のデータイネーブル信号 EIO_1 に基づいて第1のデータマスク制御信号 DM_1 の他に第1のクロックマスク制御信号 CM_1 を生成する。そして、第1のクロックマスク回路118₁は、次のデータイネーブル信号のシフトタイミング以降、第1のクロックマスク制御信号 CM_1 を用いてその出力が論理レベル「L」に固定する。

【0175】

同様にして第3及び第4のクロックマスク回路118₃、118₄は、順次その出力を論理レベル「L」に固定していく。

【0176】

この結果、図19に示すように、第1の系の第1～第4のクロック $CLK_1 \sim CLK_4$ は、次のようになる。

【0177】

第1のクロック CLK_1 は、SRブロック BLK_1 に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第2のクロック CLK_2 は、SRブロック BLK_1 、 BLK_2 に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第3のクロック CLK_3 は、SRブロック $BLK_1 \sim BLK_3$ に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第4のクロック CLK_4 は、

SRブロックBLK₁～BLK₄に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。

【0178】

SRブロックBLK₄から第4のデータイネーブル信号EIO₄がシフト出力されると、第5のマスク制御回路120₅において生成された第5のクロックマスク制御信号CM₅により、第5のクロックマスク回路118₅の出力のマスクを解除状態に設定される。したがって、SRブロックBLK₅は、マスクが解除されて出力された第5のクロックCLK₅に基づいてシフトしたデータイネーブル信号により、第5の階調データDATA₅をラッチすることができる。しかし、この時点で第6のクロックマスク回路118₆の出力は、マスクが非解除状態のままである。

【0179】

次に、SRブロックBLK₅からデータイネーブル信号EIO₅がシフト出力されると、第6のマスク制御回路120₆において生成された第6のクロックマスク制御信号CM₆により、第6のクロックマスク回路118₆の出力マスクが解除状態に設定される。このときクロック入力制御回路124からは、解除状態のままに設定された第5のクロックマスク回路118₅を介してSRブロックBLK₆に対応する第6のクロックCLK₆に基づいて第6の階調データDATA₆をラッチすることができる。しかし、この時点で第7のクロックマスク回路118₇の出力は、マスクが非解除状態のままである。

【0180】

同様に、SRブロックBLK₇、BLK₈では、第7及び第8のクロックCLK₇、CLK₈に基づき、順次第7及び第8の階調データDATA₇、DATA₈がラッチされる。

【0181】

この結果、図19に示すように、第2の系の第5～第8のクロックCLK₅～CLK₈は、次のようになる。

【0182】

第8のクロックCLK₈は、SRブロックBLK₈に階調データが取り込まれ

るまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第 7 のクロック CLK_7 は、SR ブロック BLK_7 、 BLK_8 に階調データが取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第 6 のクロック CLK_6 は、SR ブロック $BLK_6 \sim BLK_8$ に階調データが取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第 5 のクロック CLK_5 は、SR ブロック $BLK_5 \sim BLK_8$ に階調データが取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。

【0183】

2. 2. 4 詳細な回路構成例

図 20 に、第 2 実施形態における表示駆動回路のシフトレジスタ部の詳細な構成例の全体ブロック図を示す。

【0184】

ただし、図 11 に示す第 1 の実施形態における表示駆動回路のシフトレジスタ部 90 と同一部分には同一符号を付し、適宜説明を省略する。

【0185】

シフトレジスタ部 140 は、図 3 に示したシフトレジスタ部 40 に相当する。このシフトレジスタ部 140 は、図 17 に示した構成の第 1 の系の第 1 ～第 4 の回路ブロック $130_1 \sim 130_4$ と、図 18 に示した構成の第 2 の系の第 5 ～第 8 の回路ブロック $130_5 \sim 130_8$ とを含む。

【0186】

クロック入力制御回路 124 は、データ端子 D が電源電位に接続されたフリップフロップの反転出力端子 XQ からの信号により、クロック CLK の入力制御が行われる。

【0187】

図 21 に、データマスク制御回路、データマスク回路、クロック制御回路及びクロックマスク回路の回路構成例を示す。

【0188】

ここでは第 1 の系の第 2 のデータマスク制御回路 54_2 、第 2 のデータマスク

回路 52₂、第2のクロックマスク制御回路 132₂ 及び第2のクロックマスク回路 118₂ の構成例を示す。第2のマスク制御回路 120₂ は、第2のデータマスク制御回路 54₂ と、第2のクロックマスク制御回路 132₂ とを含む。ここで、図 13 に示した第2のデータマスク制御回路 54₂ 及び第2のデータマスク回路 52₂ については同様であるため説明を省略する。

【0189】

第2のクロックマスク制御回路 132₂ は、第2のデータマスク制御回路 54₂ のフリップフロップ FF₂ の Q 端子の出力を用いて、第2のクロックマスク制御信号 CM₂ を生成する。そのため第2のクロックマスク制御回路 132₂ は、フリップフロップ FF₃、FF₄ を含む。フリップフロップ FF₃、FF₄ の D 端子に、フリップフロップ FF₂ の Q 端子が接続される。フリップフロップ FF₃ の C 端子には、第3のクロック CLK₃ の反転信号が入力される。フリップフロップ FF₄ の C 端子には、第2のクロック CLK₂ が入力される。こうすることで、データマスクのタイミングと、クロックマスクのタイミングとを半周期ずらし、ひげの発生しないクロックマスク制御信号でクロックのマスク制御を行うことができる。この場合、発生したヒゲによりデータイネーブル信号がシフトされてしまう事態を回避する。

【0190】

図 22 に、図 21 に示した回路によるクロックマスクの動作タイミングの一例を示す。

【0191】

ここではシフト信号 SHL の論理レベルが「H」に固定されている場合について説明する。左方向を第2の方向とすると、シフト信号 SHL の論理レベルが「H」（第2のレベル）のとき、データイネーブル信号は左方向にシフトされることを意味する。

【0192】

まず第3のクロックマスク回路 118₂ に第3のクロック CLK₃ が入力され、クロックマスクが解除状態であるものとする。したがって、第2のクロックマスク回路 118₂ は、入力された第3のクロック CLK₃ をそのまま第2のクロ

ック CLK_2 として出力する。

【0193】

SRブロック BLK_2 から第2のデータイネーブル信号 EIO_2 がシフト出力されると (T20)、第2のデータマスク制御回路 54_2 では、フリップフロップ FF_2 のQ端子から論理レベル「H」に設定される (T21)。これにより、第2のデータマスク制御信号 DM_2 は論理レベル「L」になり、それ以降第2の階調データ $DATA_2$ はマスクされる。

【0194】

第2のクロックマスク制御回路 132_2 では、フリップフロップ FF_3 において、第3のクロック CLK_3 の立ち下がりに同期して XQ_2 信号の論理レベルが「L」となる。一方、フリップフロップ FF_2 において、第2のクロック CLK_2 の立ち上がりに同期して、 XQ_3 信号の論理レベルが「L」となる (T22)。ここで、反転シフト信号 $XSHL$ の論理レベルが「L」に固定されているため、第2のクロックマスク制御信号 CM_2 は論理レベル「L」となる (T23)。これにより、第2のクロック CLK_2 は、第2のクロックマスク制御信号 CM_2 によりマスクが非解除状態に設定され、これ以降第2のクロック CLK_2 は固定される (T24)。

【0195】

なお第2のクロック CLK_2 は短いパルス状になるが、既に第2のデータイネーブル信号 EIO_2 をシフト出力しているため回路の誤動作を招くことはない。

【0196】

図23に、第1の系の回路ブロックの動作タイミングの一例を示す。

【0197】

以下では、階調データのマスク制御については図14と同様であるため、クロックのマスク制御についてのみ説明する。

【0198】

例えばデータイネーブル信号 EIO は第0のデータイネーブル信号 EIO_0 として第1の回路ブロック 130_1 から第4の回路ブロック 130_4 の方向にシフトされる。したがって、第1のクロックマスク回路 118_1 は、第1のデータイ

ネーブル信号 EIO_1 がシフト出力されるまで第1のクロック CLK_1 のマスクを解除状態にし、第1のデータネーブル信号 EIO_1 がシフト出力されると第1のクロック CLK_1 のマスクを非解除状態に設定する。

【0199】

同様に、第2の回路ブロック 130_2 の第2のクロックマスク回路 118_2 は、第2のデータネーブル信号 EIO_2 がシフト出力されるまで第2のクロック CLK_2 のマスクを解除状態にし、第2のデータネーブル信号 EIO_2 がシフト出力されると第2のクロック CLK_2 のマスクを非解除状態に設定する。

【0200】

第3及び第4の回路ブロック 130_3 、 130_4 でも同様に上述のマスク制御が行われる。このように第1～第4のクロックマスク回路 $118_1 \sim 118_4$ は、第1～第4のデータネーブル信号 $EIO_1 \sim EIO_4$ がシフト出力されるまで第1～第4のクロック $CLK_1 \sim CLK_4$ のマスクを解除状態にし、第1～第4のデータネーブル信号 $EIO_1 \sim EIO_4$ がシフト出力されると第1～第4のクロック $CLK_1 \sim CLK_4$ のマスクを非解除状態に設定する。したがって、階調データの供給に必要なタイミングのみ、クロックを駆動すればよいので不要な電力消費を大幅に削減することができる。

【0201】

図24に、第2の系の動作タイミングの一例を示す。

【0202】

ここでは、第5～第8の回路ブロック $130_5 \sim 130_8$ が、第4の回路ブロック 130_4 からシフト出力された第4のデータネーブル信号 EIO_4 を、第5の回路ブロック 130_5 から第8の回路ブロック 130_8 の方向にシフトする場合について説明する。

【0203】

第5のクロックマスク回路 118_5 は、第4のデータネーブル信号 EIO_4 がシフト出力されてから第0のクロック CLK_0 のマスクを解除状態にして第5のクロック CLK_5 を出力し、少なくとも第8のデータネーブル信号 EIO_8 が出力されるまで（図24では一水平走査期間が終了するまで）マスクの解除状

態を維持する。

【 0 2 0 4 】

同様に、第 6 の回路ブロック 1 3 0₆ の第 6 のクロックマスク回路 1 1 8₆ は、第 5 のデータイネーブル信号 E I O₅ がシフト出力されてから、第 5 のクロック C L K₅ のマスクを解除状態にして第 6 のクロック C L K₆ を出力し、少なくとも第 8 のデータイネーブル信号 E I O₈ が出力されるまで（図 2 4 では一水平走査期間が終了するまで）マスクの解除状態を維持する。

【 0 2 0 5 】

第 7 及び第 8 の回路ブロック 1 3 0₇、1 3 0₈ でも同様に上述のマスク制御が行われる。このように第 5 ～第 8 のクロックマスク回路 1 1 8₅ ～1 1 8₈ は、第 4 ～第 7 のデータイネーブル信号 E I O₄ ～E I O₇ がシフト出力されてから、第 0 のクロック C L K₀、第 5 ～第 7 のクロック C L K₅ ～C L K₇ に対するマスクを解除状態にして第 5 ～第 8 のクロック C L K₅ ～C L K₈ を出力し、少なくとも第 8 のデータイネーブル信号 E I O₈ が出力されるまで（図 2 4 では一水平走査期間が終了するまで）マスクの解除状態を維持する。したがって、階調データの供給に必要なタイミングのみ、クロックを駆動すればよいので不要な電力消費を大幅に削減することができる。

【 0 2 0 6 】

またクロック入力制御回路 1 2 4 により、一水平走査期間（1 H）の全期間にわたってクロックを駆動する必要がなくなる。すなわち、第 8 のデータイネーブル信号 E I O₈ がシフト出力されてから次の水平走査期間が開始されるまでの間、階調データを駆動する必要がなくなり、その分の電力消費を削減することができる。

【 0 2 0 7 】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【 0 2 0 8 】

例えば上述した実施形態では、M、N を 4 としたがこれに限定されるものではなく、4 以上又は 4 未満であってもよい。また M と N を同数にしたが、M が N よ

り大きく、又は小さくしてもよい。

【0209】

また例えば表示駆動回路を図25に示すように第1の系の回路ブロックのみで構成した場合であっても不要な電力消費を抑えることができる。また、表示駆動回路を、図26に示すように第2の系の回路ブロックのみで構成した場合であっても同様である。図25においては、図7又は図17に示した回路ブロックを用いて容易に構成することができる。図26においては、図8又は図18に示した回路ブロックを用いて容易の構成することができる。

【0210】

更に図27に示すように、階調データのマスク制御を行うことなく、各SRブロックに供給されるクロックのみのマスク制御を行うようにしてもよい。更にまた図28(A)に示すようにクロックのマスク制御のみを図17に示した回路ブロックを応用した第1の系の回路ブロックのみで構成してもよいし、図28(B)に示すようにクロックのマスク制御のみを図18に示した回路ブロックを応用した第2の系の回路ブロックのみで構成してもよい。

【0211】

また上述の実施形態では、TFT型液晶装置を駆動する場合について説明したが、単純マトリクス型液晶装置や、有機EL素子を含む有機ELパネル、プラズマディスプレイ装置にも適用可能である。

【図面の簡単な説明】

【図1】

液晶装置の構成の概要を示すブロック図である。

【図2】

同一ガラス基板上に信号ドライバが形成される液晶パネルの概要を示す構成図である。

【図3】

信号ドライバの構成の概要を示すブロック図である。

【図4】

図4(A)は、信号ドライバの形状を模式的に示す図である。図4(B)は、

階調バスの配線の様子を模式的に示す図である。

【図 5】

信号ドライバに適用される表示駆動回路のシフトレジスタ部の構成の概要を示すブロック図である。

【図 6】

第 1 の実施形態における表示駆動回路のシフトレジスタ部の構成の概要を示すブロック図である。

【図 7】

第 1 の実施形態における第 1 の系の回路ブロックの構成の概要を示すブロック図である。

【図 8】

第 1 の実施形態における第 2 の系の回路ブロックの構成の概要を示すブロック図である。

【図 9】

第 1 の実施形態における階調データの取り込みタイミングの一例を示すタイミングチャートである。

【図 1 0】

図 1 0 (A) は、比較例におけるシフトレジスタ部の構成の概要を示すブロック図である。図 1 0 (B) は、比較例におけるシフトレジスタ部の動作タイミングの一例を示すタイミングチャートである。

【図 1 1】

第 1 の実施形態における表示駆動回路のシフトレジスタ部の詳細な構成例の全体ブロック図である。

【図 1 2】

S R ブロックの構成の一例を示す回路図である。

【図 1 3】

データマスク制御回路及びデータマスク回路の構成例を示す回路図である。

【図 1 4】

第 1 の実施形態における第 1 の系の回路ブロックの動作タイミングの一例を示

すタイミングチャートである。

【図 1 5】

第 1 の実施形態における第 2 の系の回路ブロックの動作タイミングの一例を示すタイミングチャートである。

【図 1 6】

第 2 の実施形態における表示駆動回路のシフトレジスタ部の構成の概要を示すブロック図である。

【図 1 7】

第 2 の実施形態における第 1 の系の回路ブロックの構成の概要を示すブロック図である。

【図 1 8】

第 2 の実施形態における第 2 の系の回路ブロックの構成の概要を示すブロック図である。

【図 1 9】

第 2 の実施形態における階調データの取り込みタイミングの一例を示すタイミングチャートである。

【図 2 0】

第 2 の実施形態における表示駆動回路のシフトレジスタ部の詳細な構成例の全体ブロック図である。

【図 2 1】

データマスク制御回路、データマスク回路、クロックマスク制御回路及びクロックマスク回路の構成例を示す回路図である。

【図 2 2】

データマスク制御回路、データマスク回路、クロックマスク制御回路及びクロックマスク回路の動作タイミングの一例を示すタイミングチャートである。

【図 2 3】

第 2 の実施形態における第 1 の系の回路ブロックの動作タイミングの一例を示すタイミングチャートである。

【図 2 4】

第 2 の実施形態における第 2 の系の回路ブロックの動作タイミングの一例を示すタイミングチャートである。

【図 2 5】

第 1 の系の回路ブロックのみで構成した表示駆動回路の概要を示す構成図である。

【図 2 6】

第 2 の系の回路ブロックのみで構成した表示駆動回路の概要を示す構成図である。

【図 2 7】

各 S R ブロックに供給されるクロックのみのマスク制御を行う表示駆動回路の構成例を示す構成図である。

【図 2 8】

図 2 8 (A) は、クロックのマスク制御を第 1 の系の回路ブロックのみで構成した表示駆動回路の概要を示す構成図である。図 2 8 (B) は、クロックのマスク制御を第 2 の系の回路ブロックのみで構成した表示駆動回路の概要を示す構成図である。

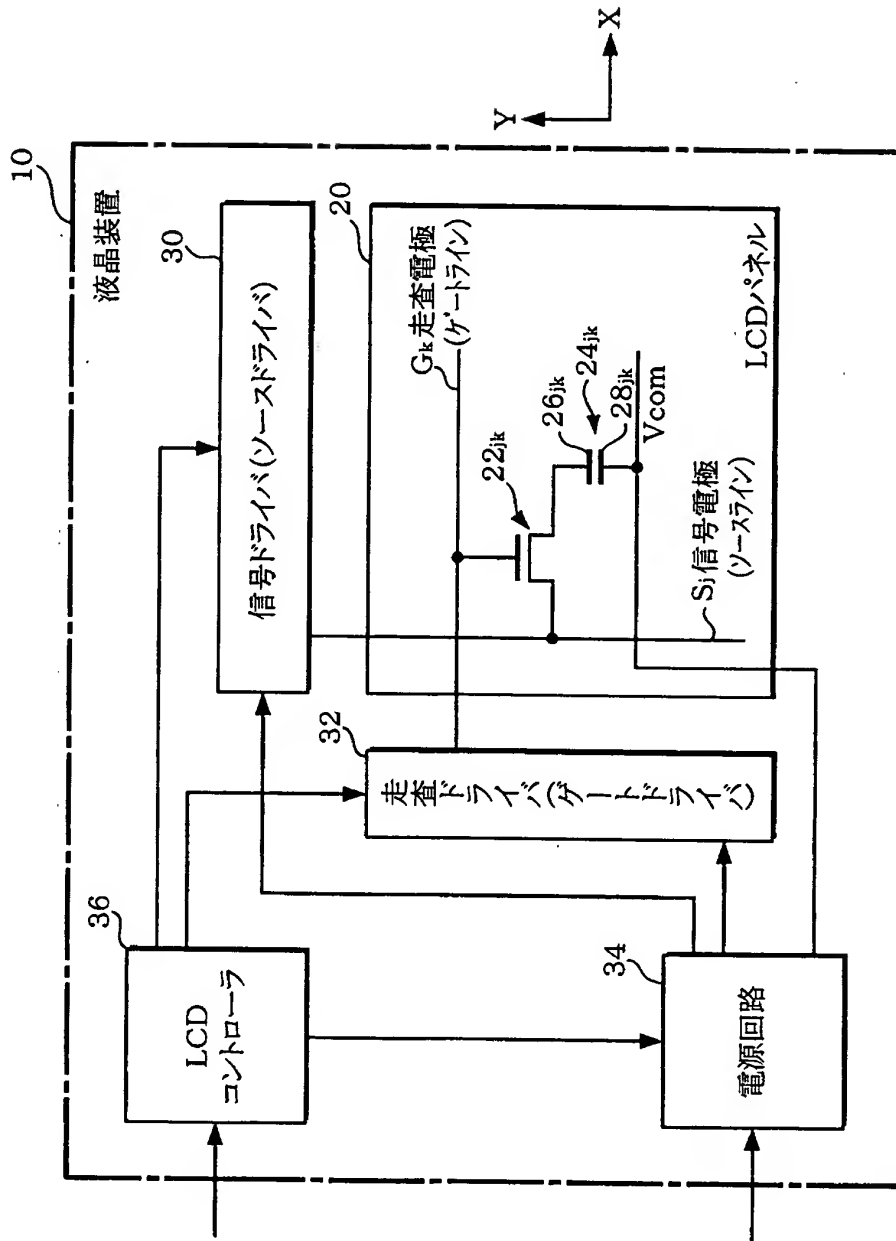
【符号の説明】

- 1 0 液晶装置
- 2 0 L C D パネル
- 2 2 $j k$ T F T
- 2 4 $j k$ 液晶容量
- 2 6 $j k$ 画素電極
- 2 8 $j k$ 対向電極
- 3 0 信号ドライバ（広義には表示駆動回路）
- 3 2 走査ドライバ
- 3 4 電源回路
- 3 6 L C D コントローラ
- 4 0、7 0、9 0、1 4 0 シフトレジスタ部
- 4 2 ラインラッチ回路

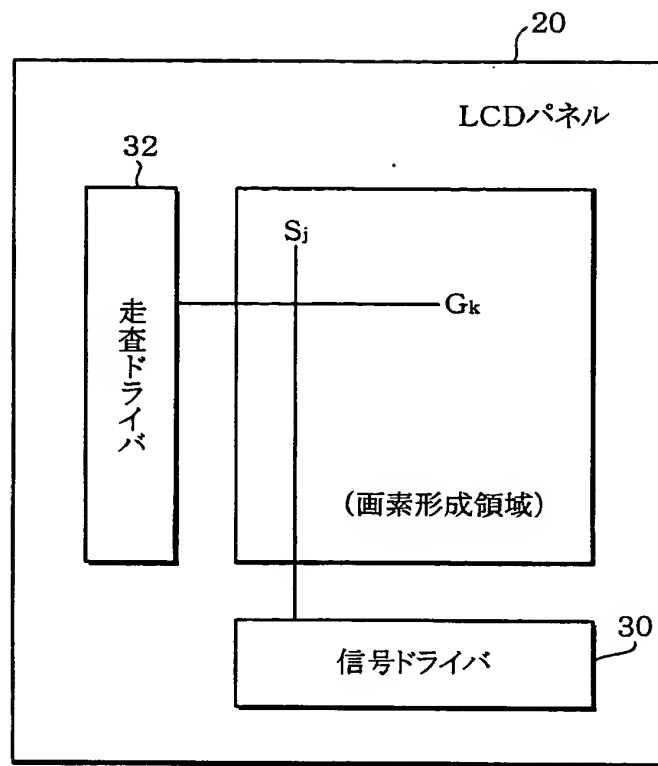
- 4 4 D A C 回路
- 4 6 信号電極駆動回路
- 5 0 データ入力制御回路
- 5 2₁ ~ 5 2_{M+N} 第 1 ~ 第 (M+N) のデータマスク回路
- 5 4₁ ~ 5 4_{M+N} 第 1 ~ 第 (M+N) のデータマスク制御回路
- 6 0₁ ~ 6 0_{M+N}、 1 3 0₁ ~ 1 3 0_{M+N} 第 1 ~ 第 (M+N) の回路ブロック
- 1 0 0 S R ブロック
- 1 0 2₀ ~ 1 0 2₃ 階調データ保持部
- 1 0 4₀ ~ 1 0 4₃、 1 0 6₀ ~ 1 0 6₃ ラッチ回路
- 1 0 8₀ ~ 1 0 8₃ セレクタ回路
- 1 1 0₀ ~ 1 1 0₃ 階調データラッチ回路
- 1 1 8₁ ~ 1 1 8_{M+N} 第 1 ~ 第 (M+N) のクロックマスク回路
- 1 2 4 クロック入力制御回路
- 1 3 2₁ ~ 1 3 2_{M+N} 第 1 ~ 第 (M+N) のクロックマスク制御回路
- B L K₁ ~ B L K_{M+N} S R ブロック
- C M₁ ~ C M_{M+N} 第 1 ~ 第 (M+N) のクロックマスク制御信号
- D M₁ ~ D M_{M+N} 第 1 ~ 第 (M+N) のデータマスク制御信号
- E I O₀ ~ E I O_{M+N} 第 0 ~ 第 (M+N) のデータイネーブル信号

【書類名】 図面

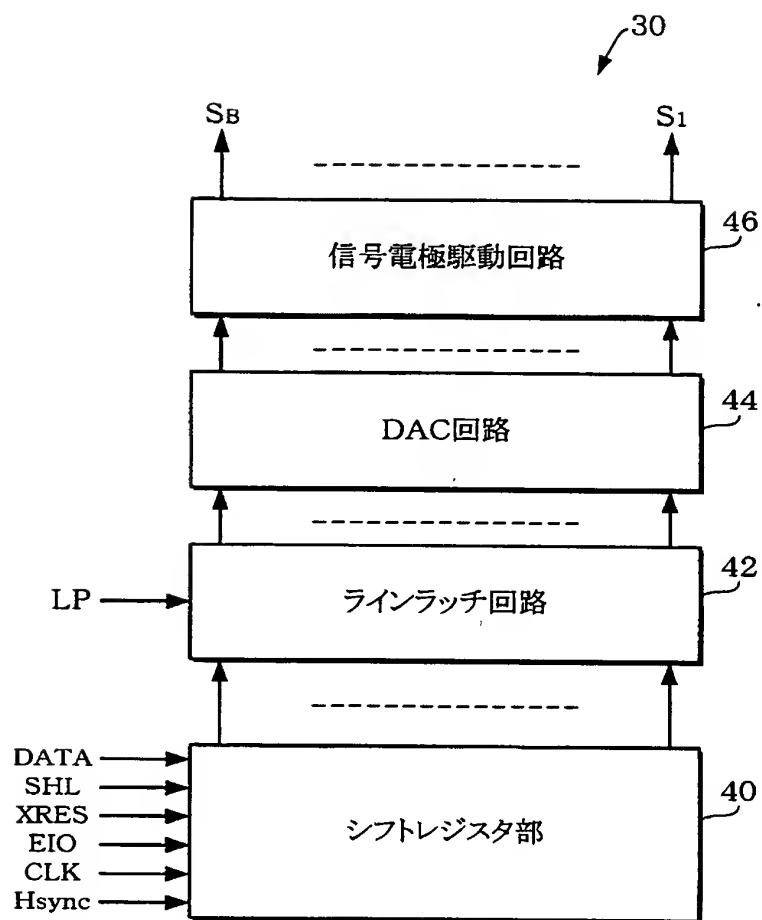
【図 1】



【図 2】

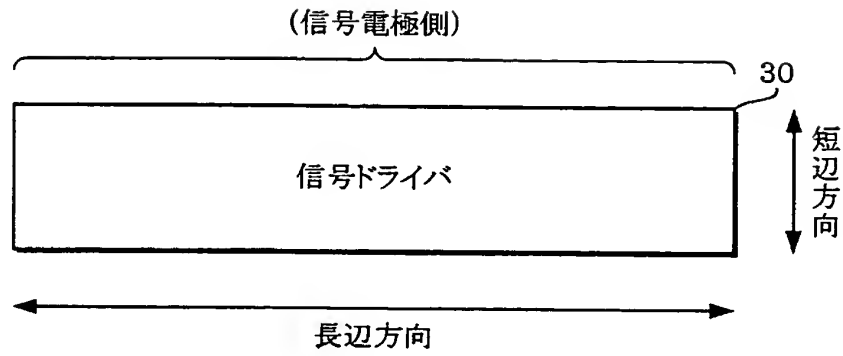


【図 3】

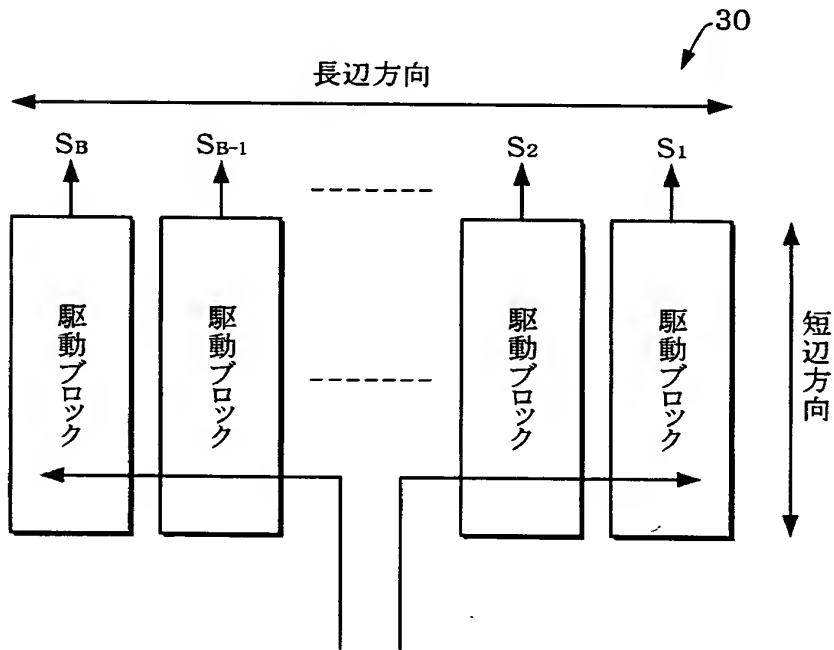


【図 4】

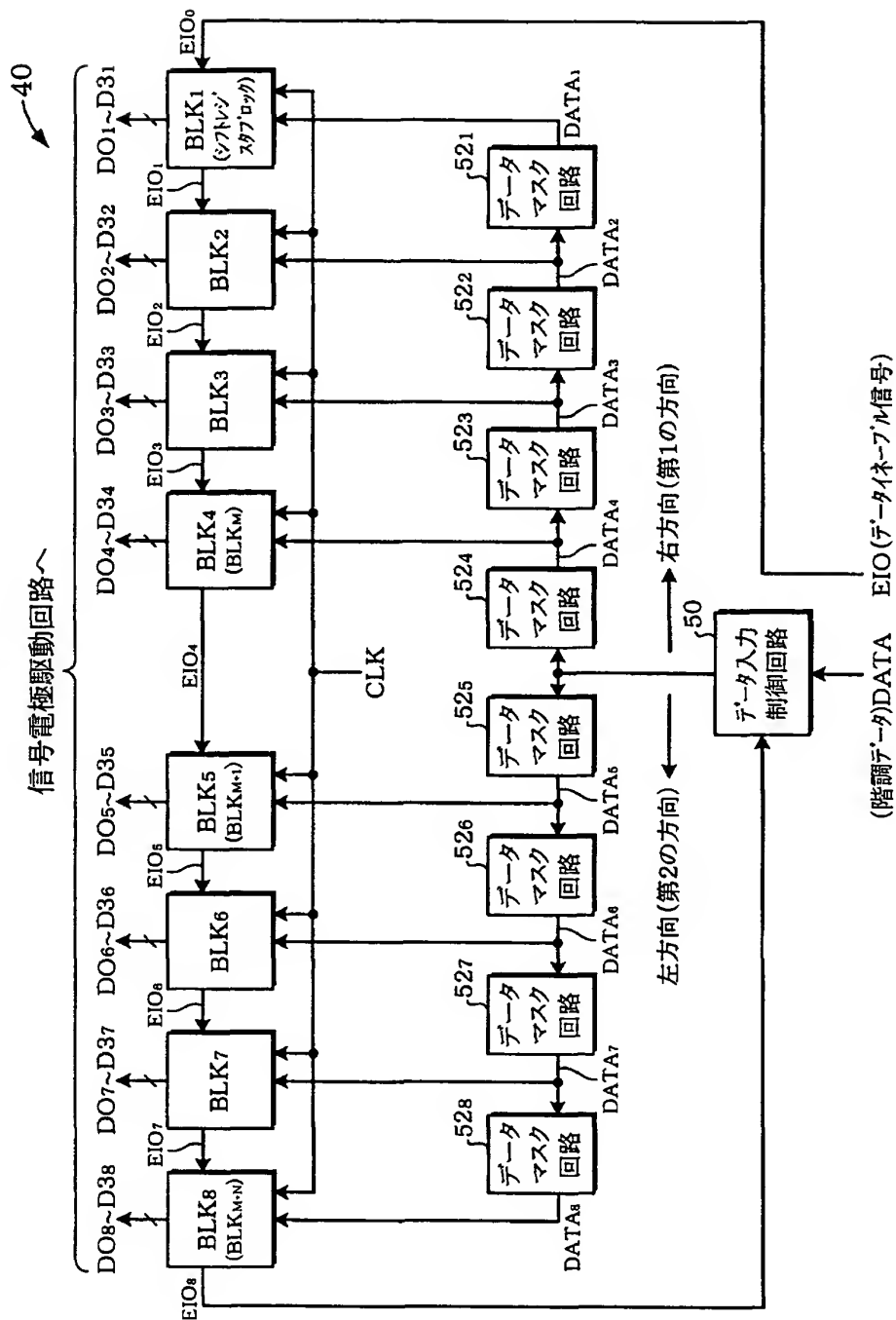
(A)



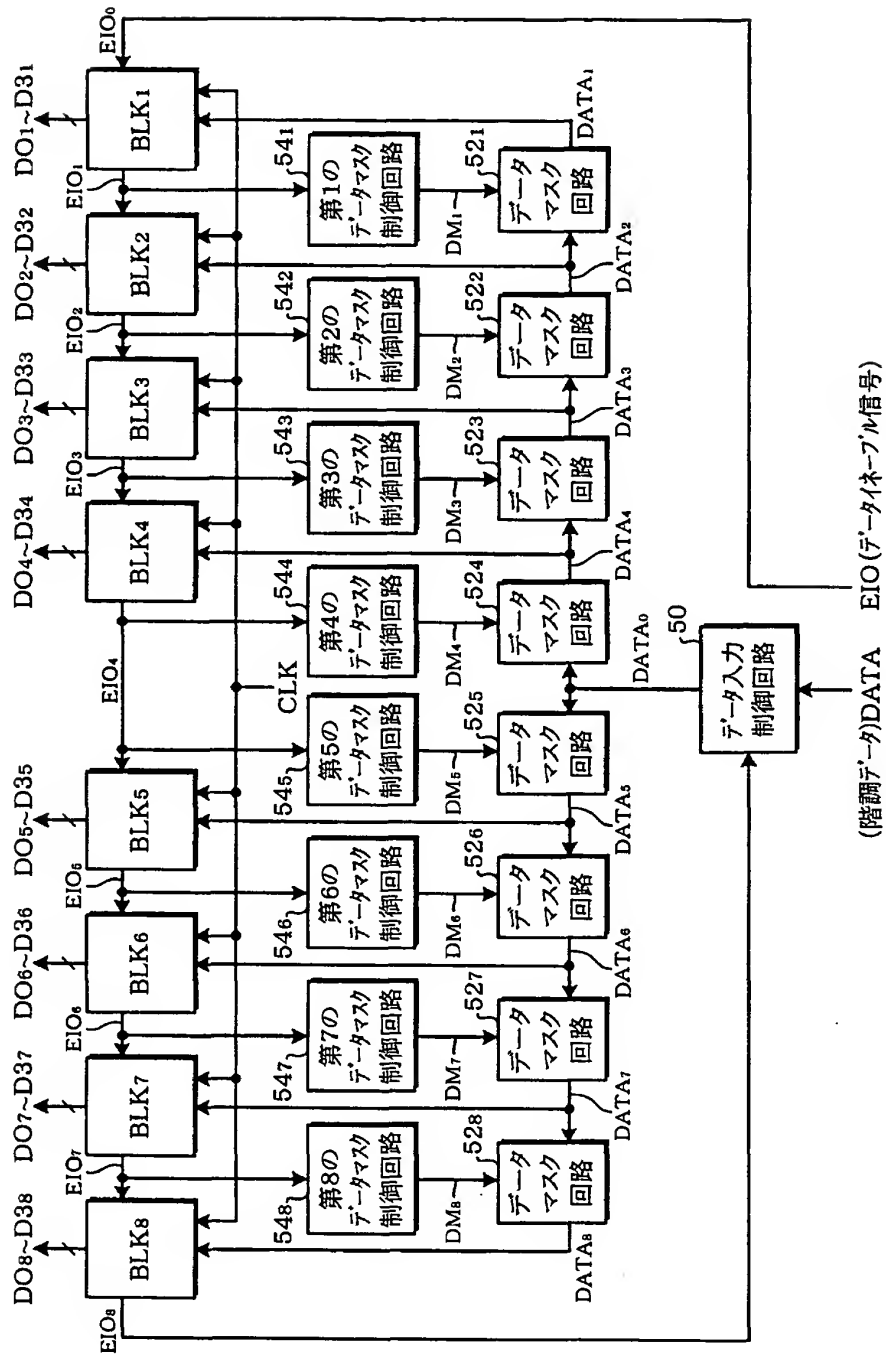
(B)



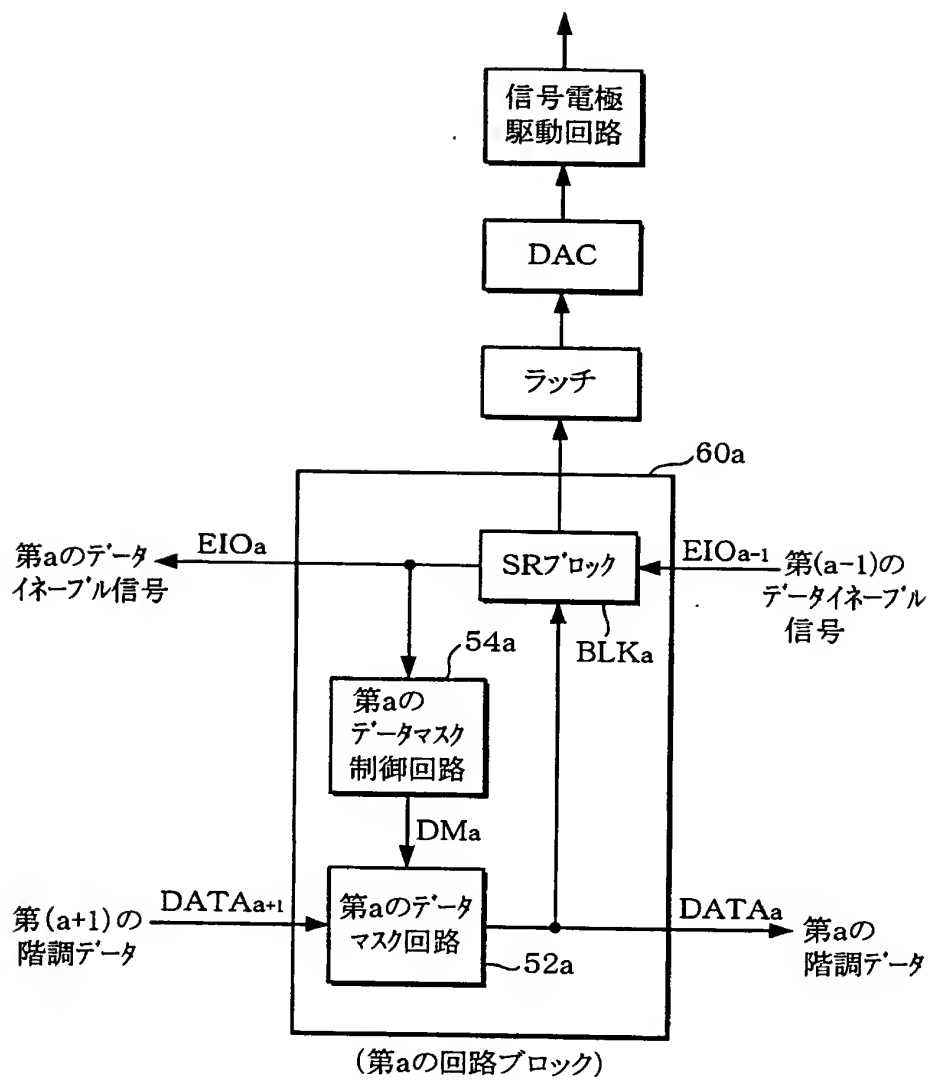
【図5】



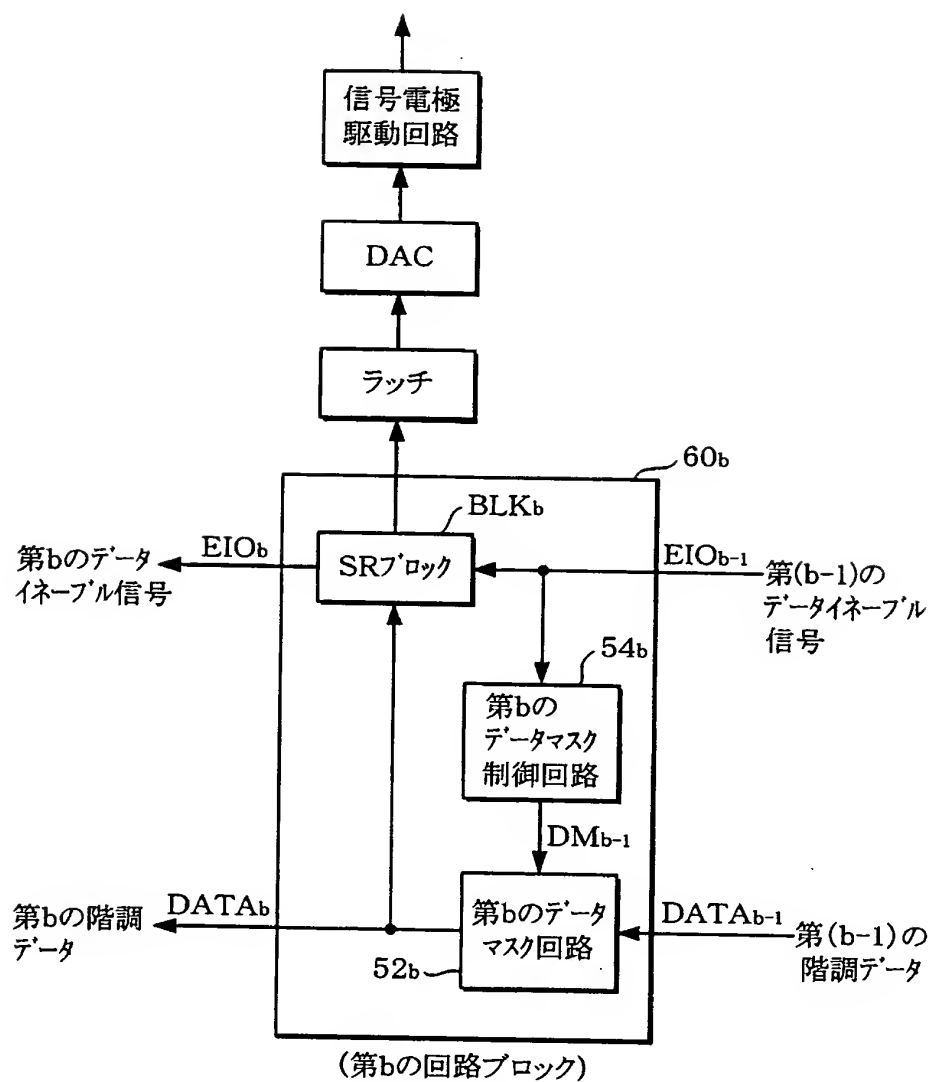
【図6】



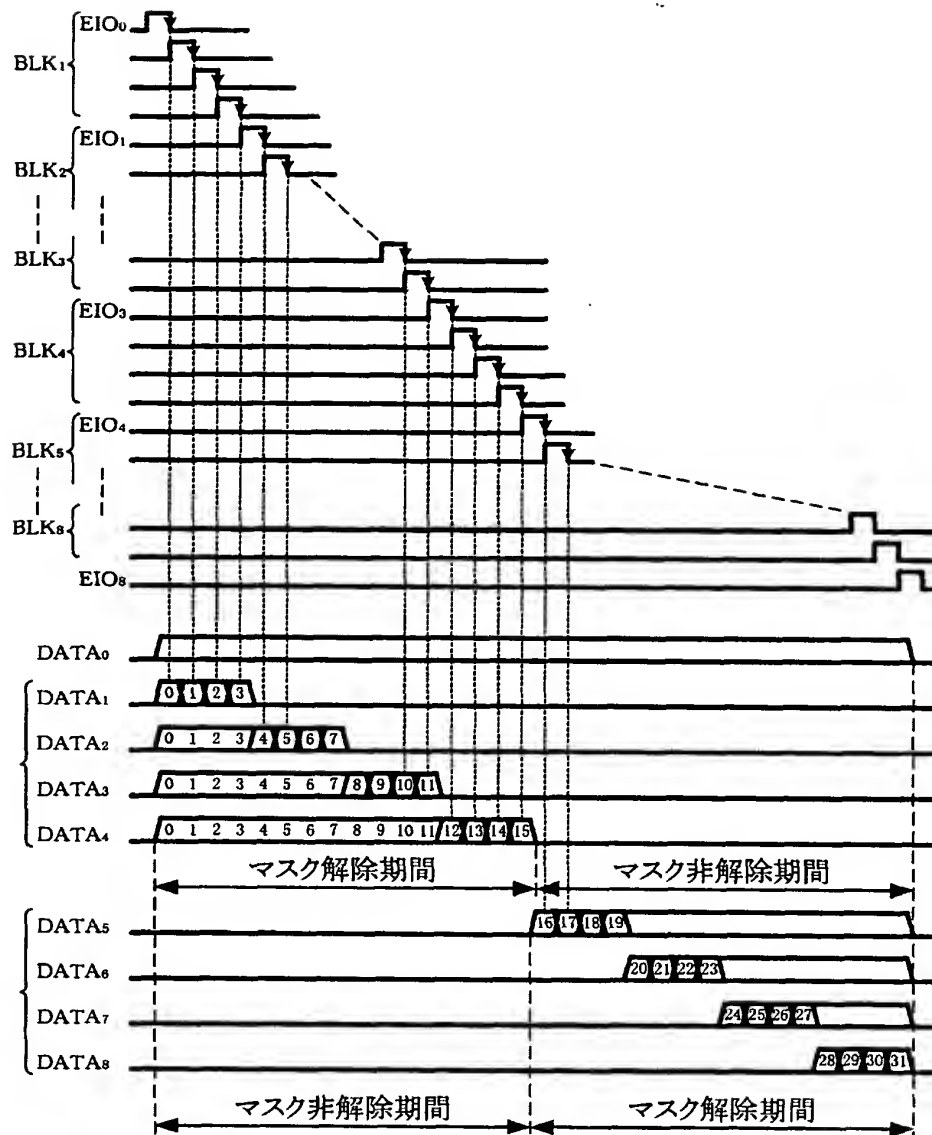
【図 7】



【図 8】

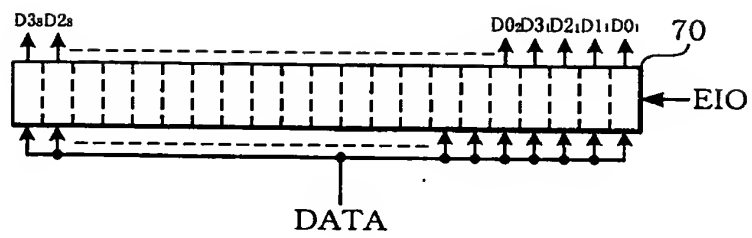


【図 9】

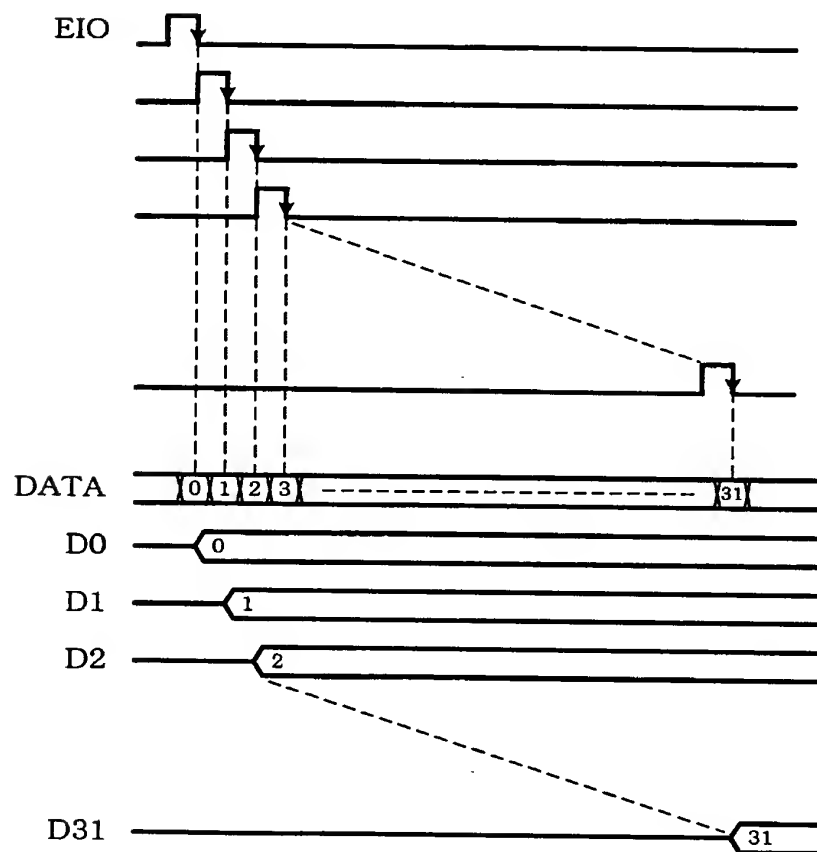


【図 10】

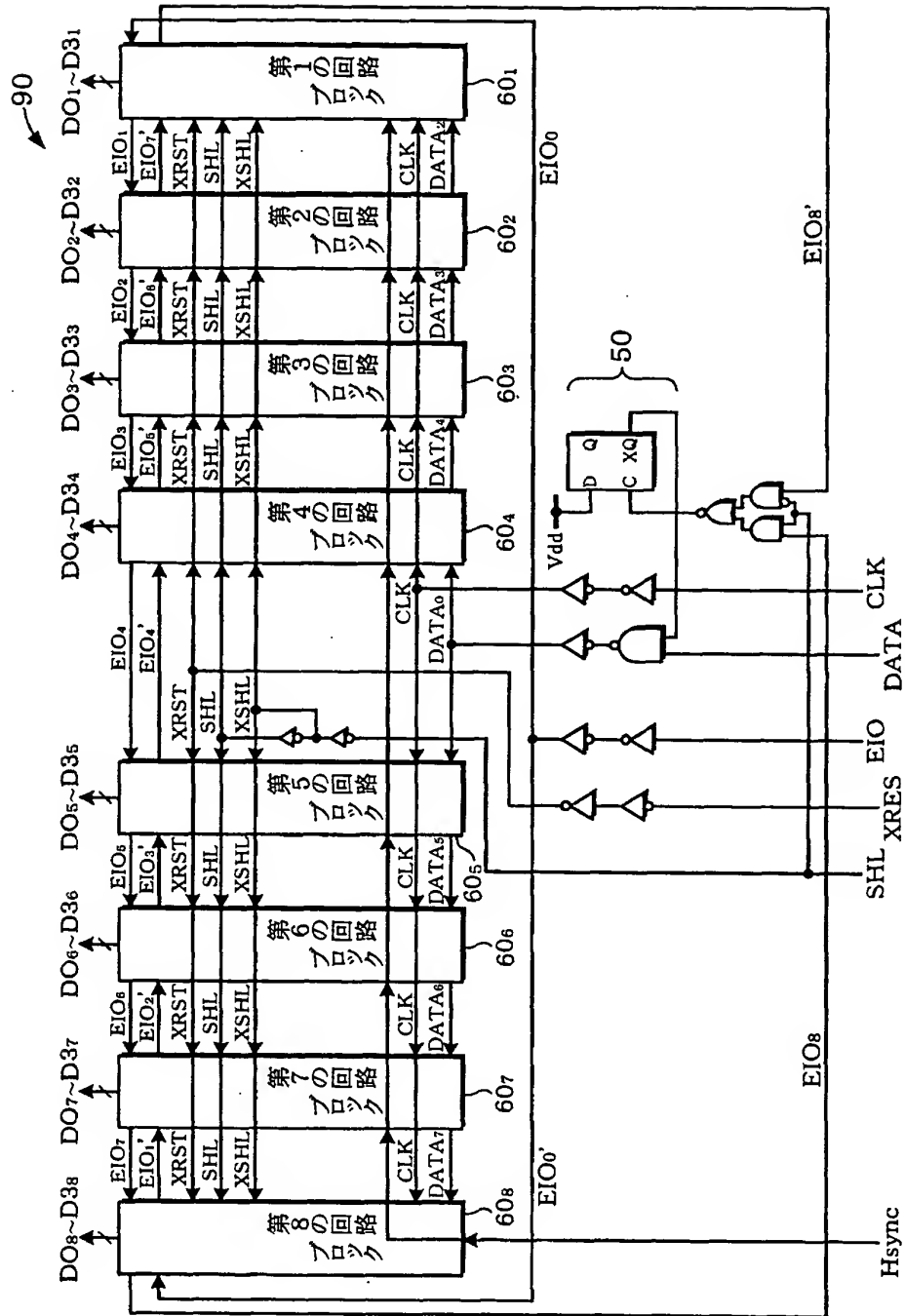
(A)



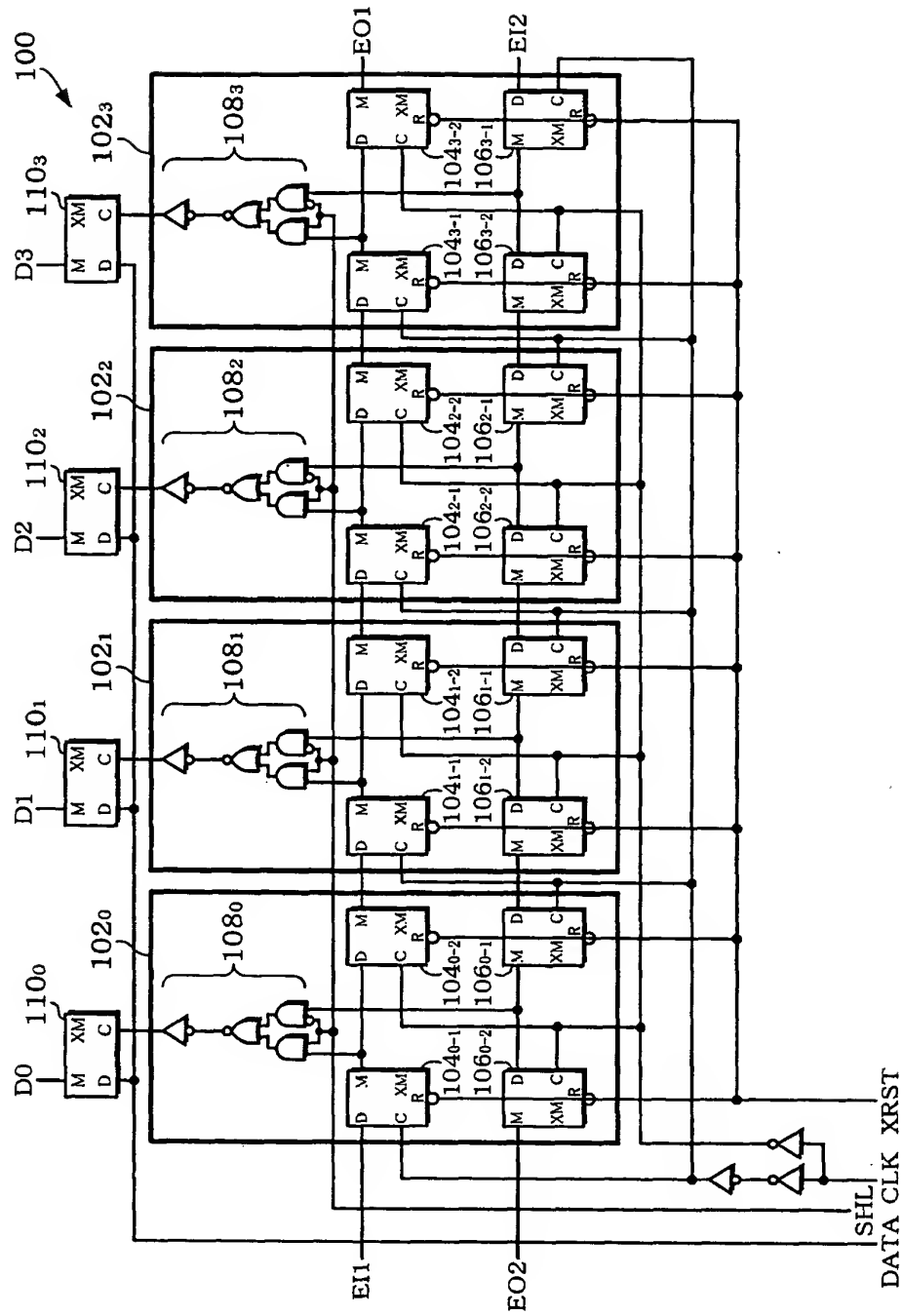
(B)



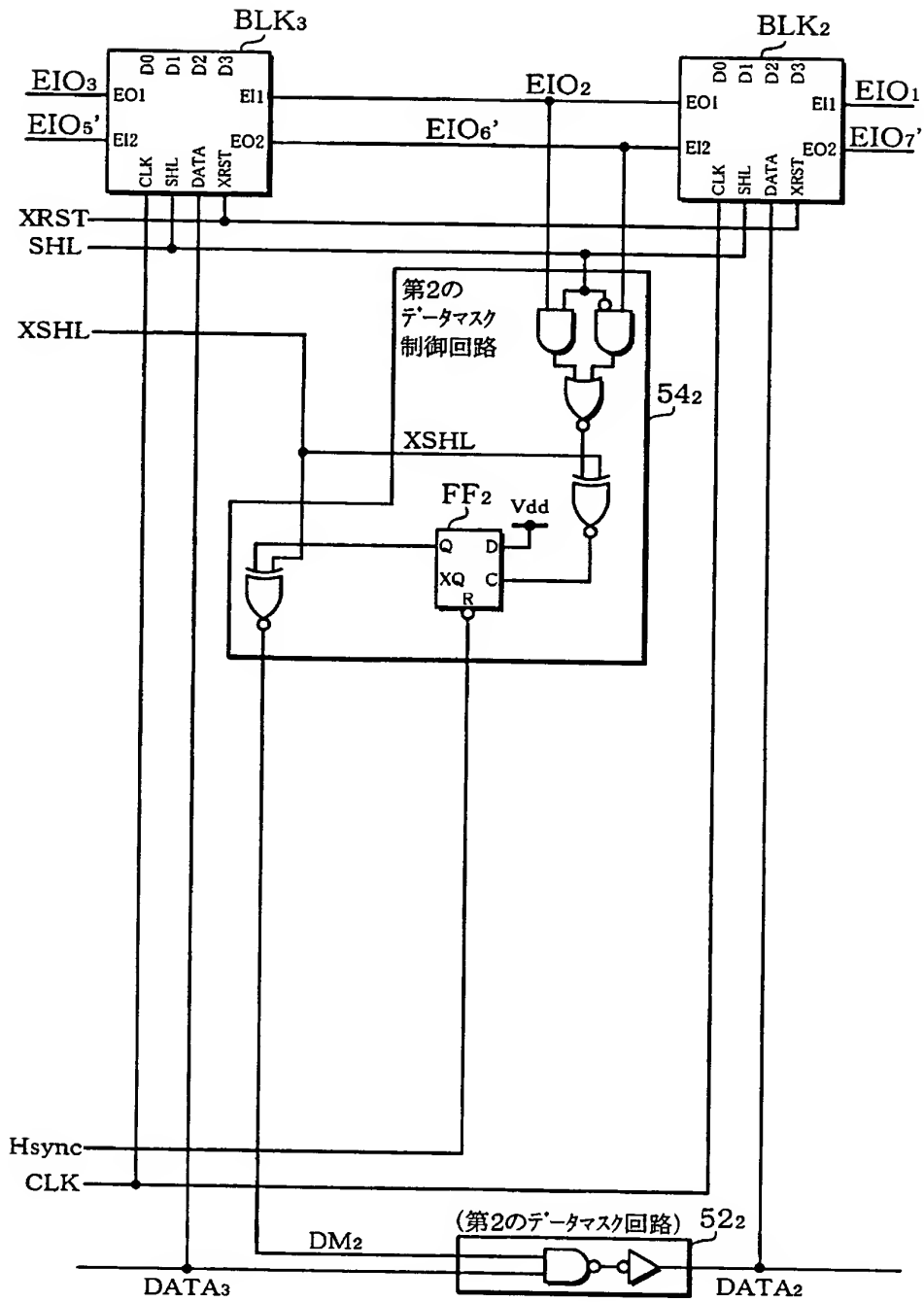
【図 11】



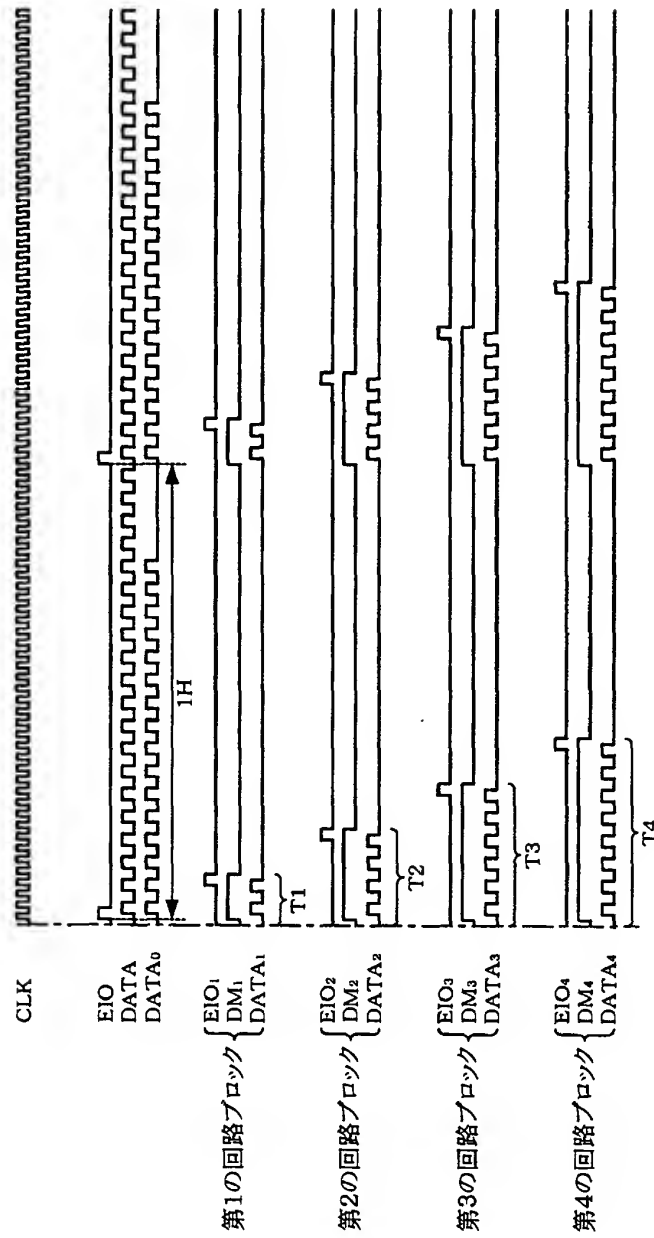
【図12】



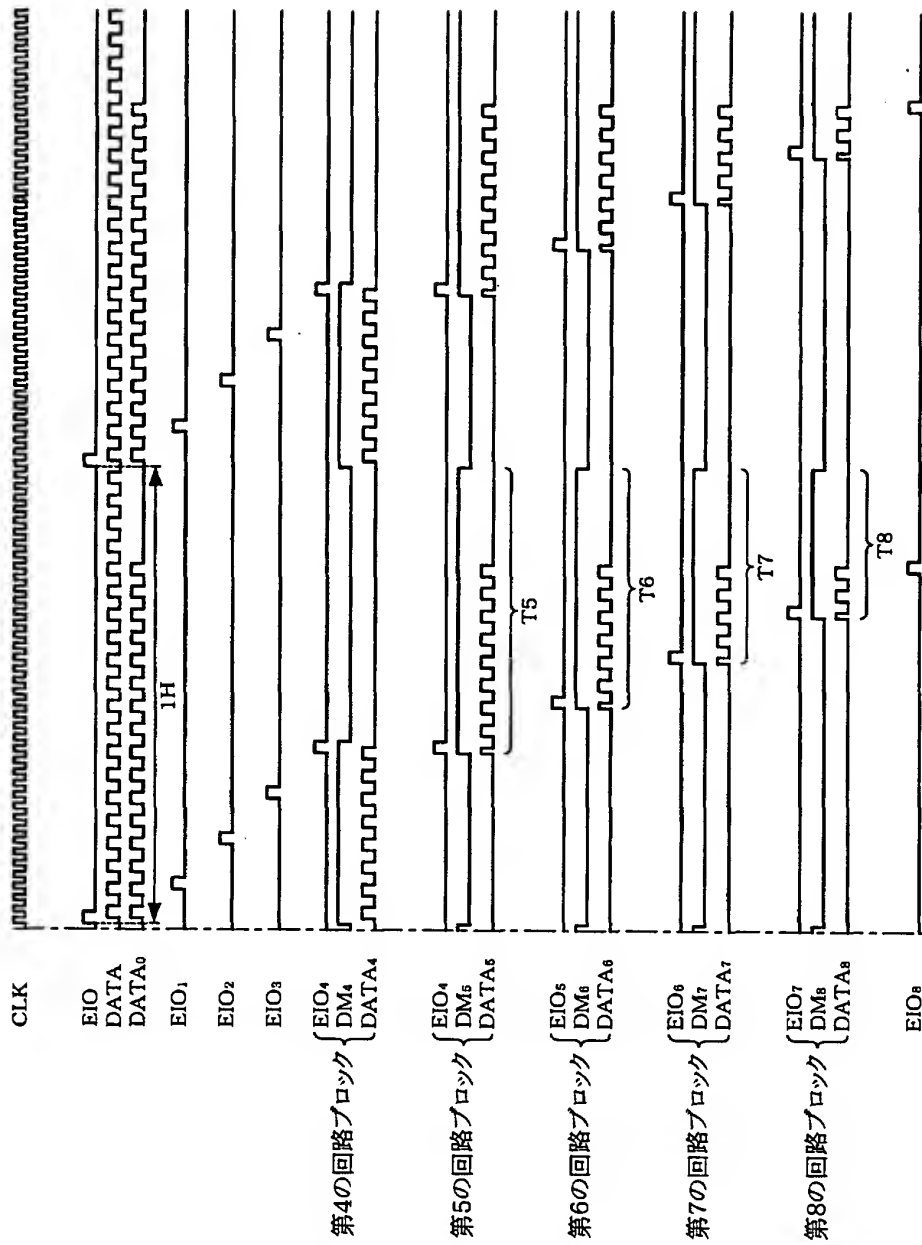
【図 13】



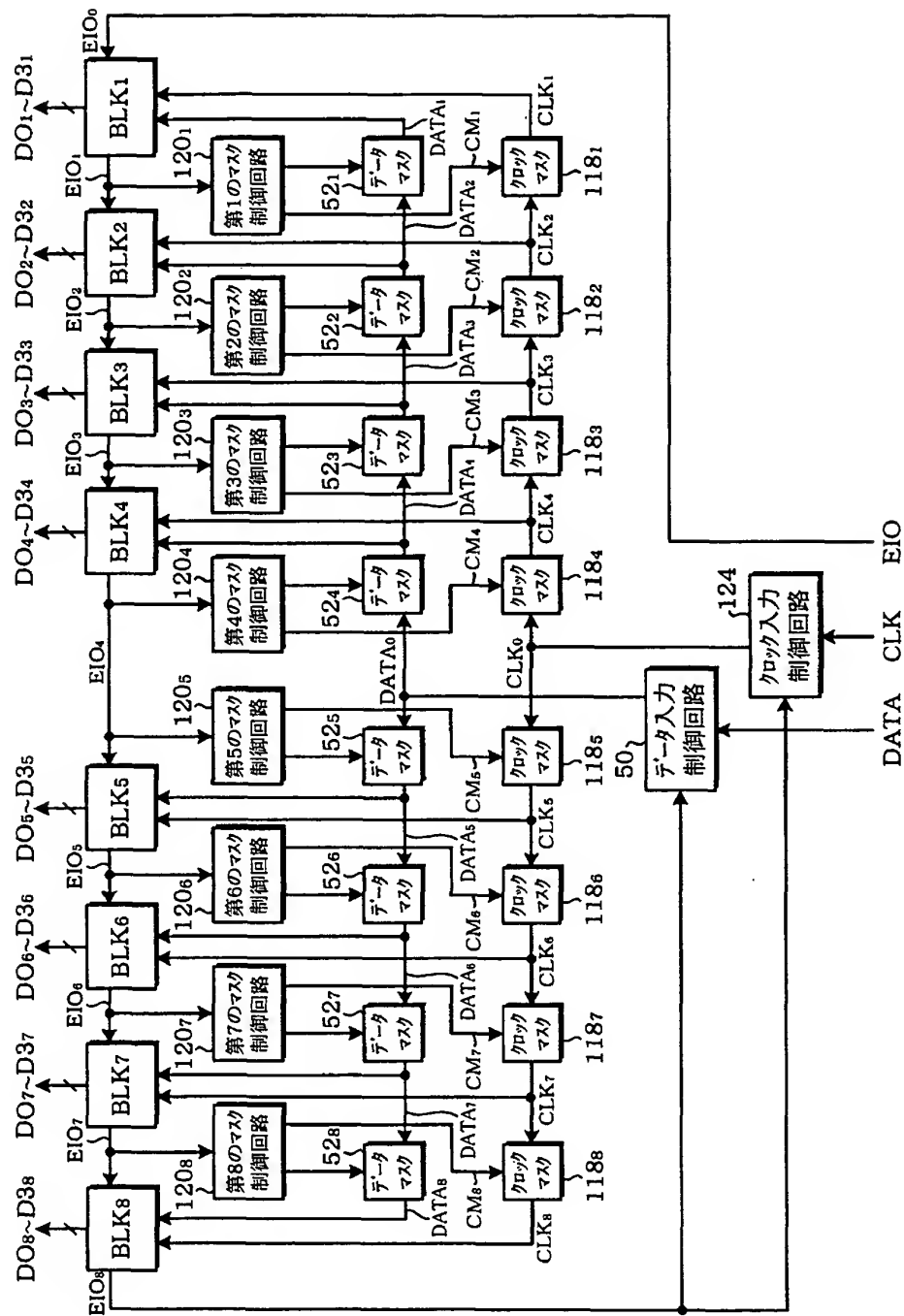
【図 1 4】



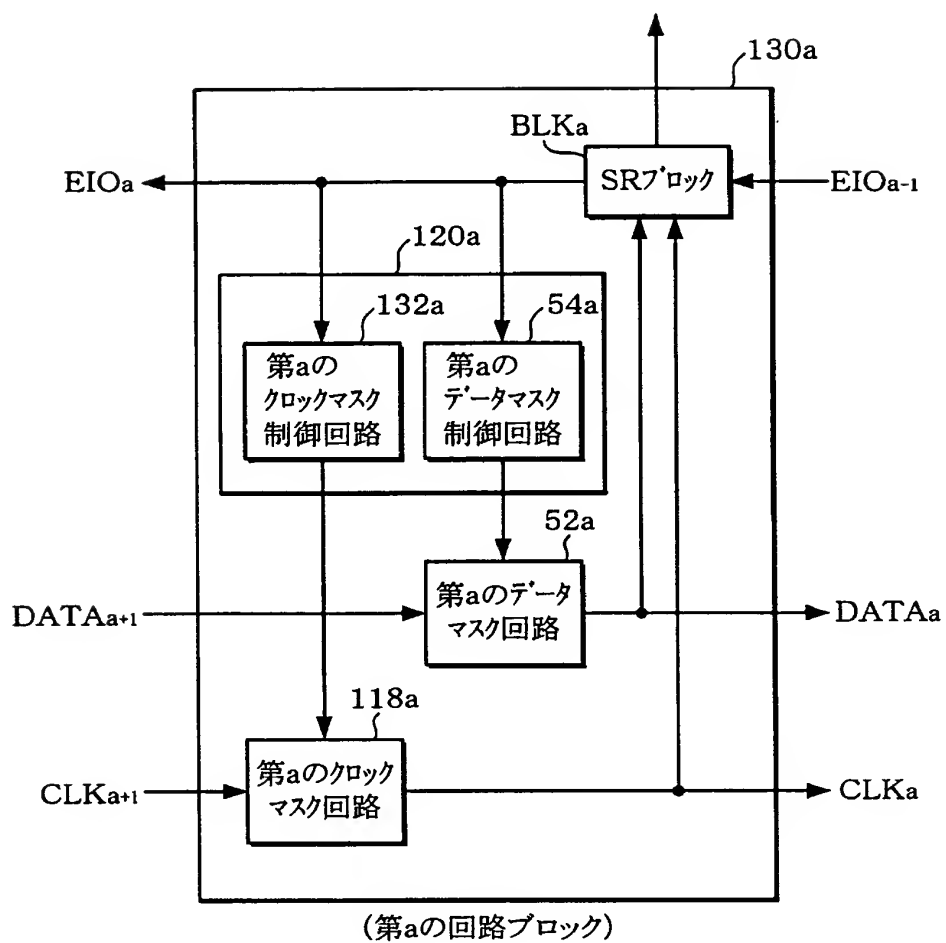
【図 1 5】



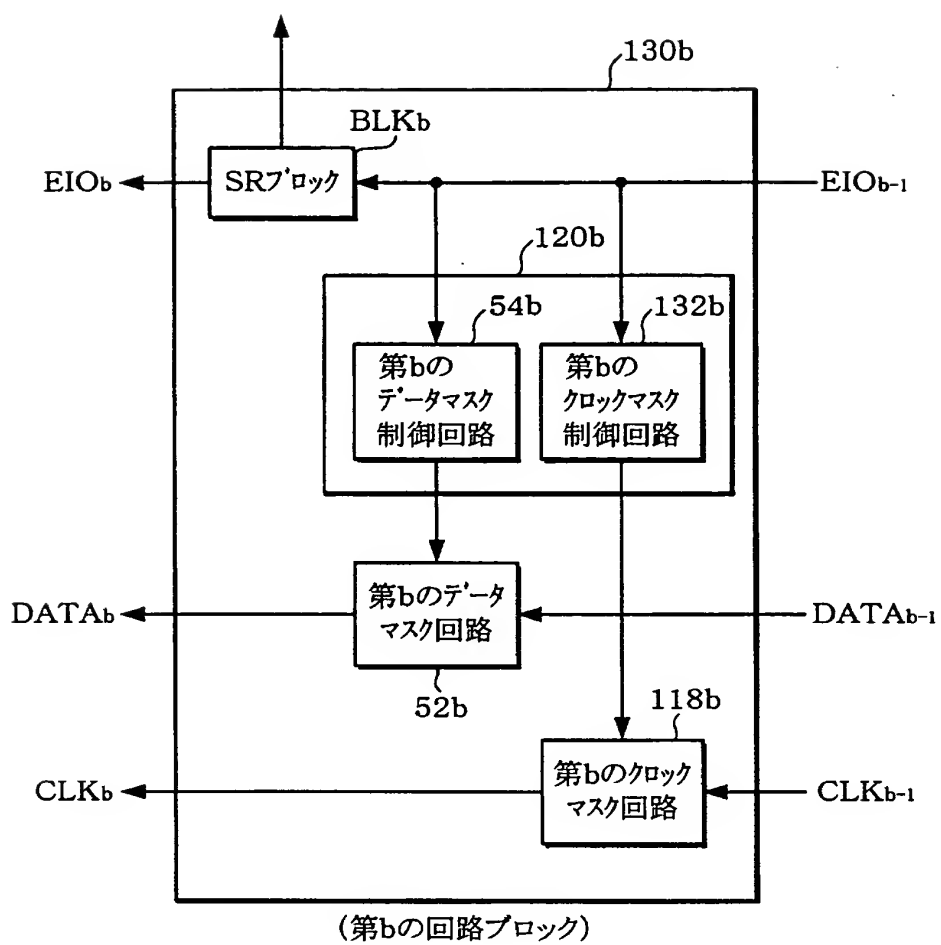
【図16】



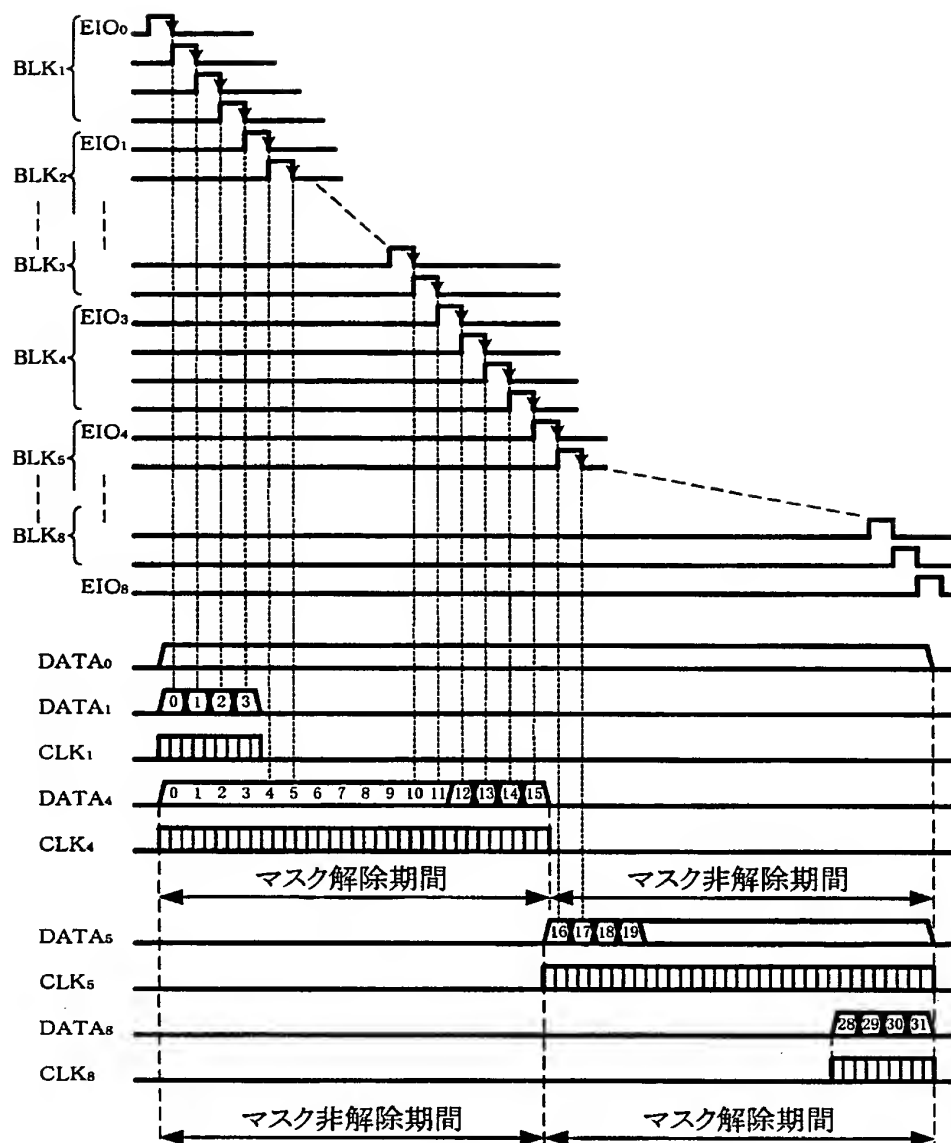
【図 1 7】



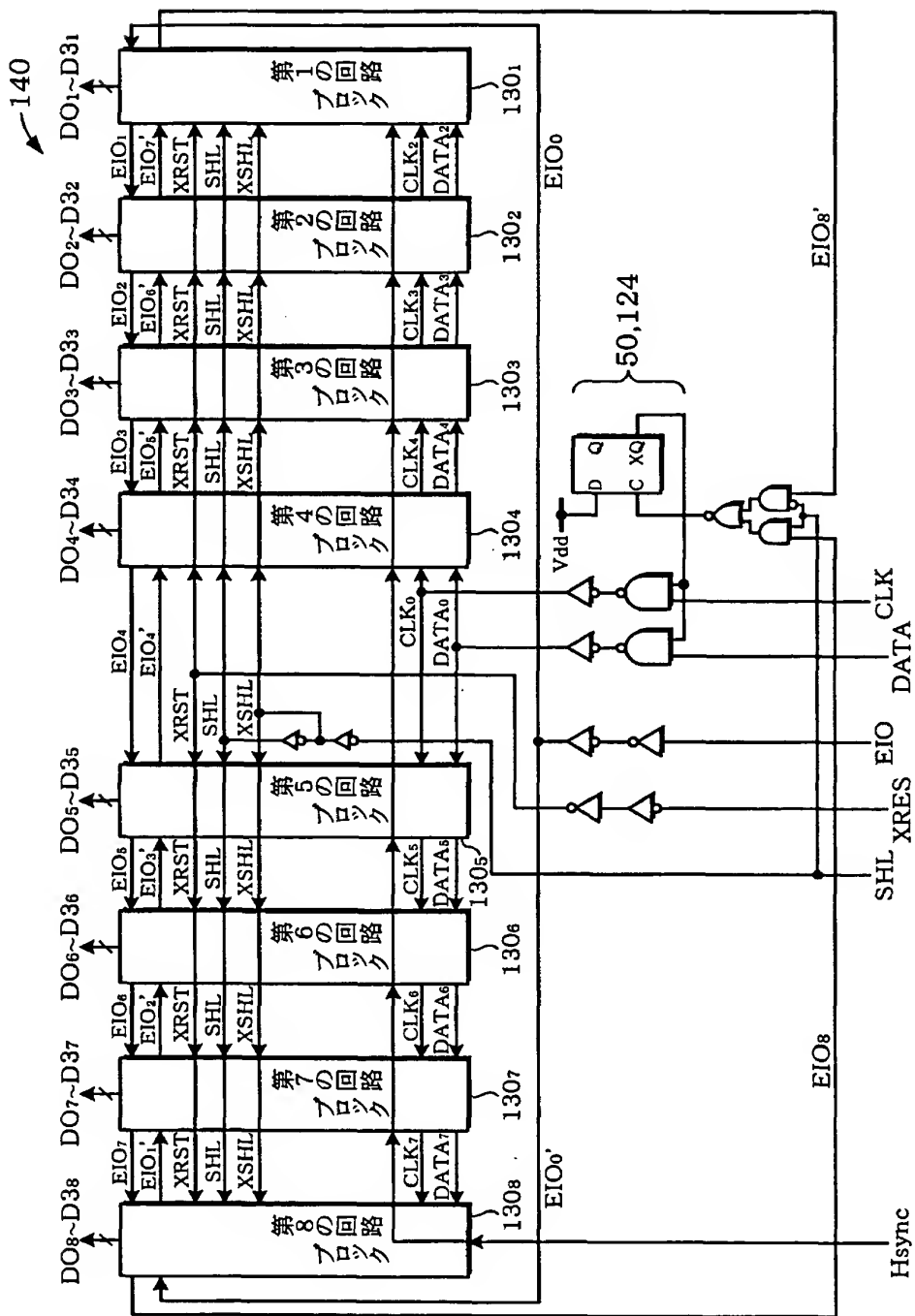
【図18】



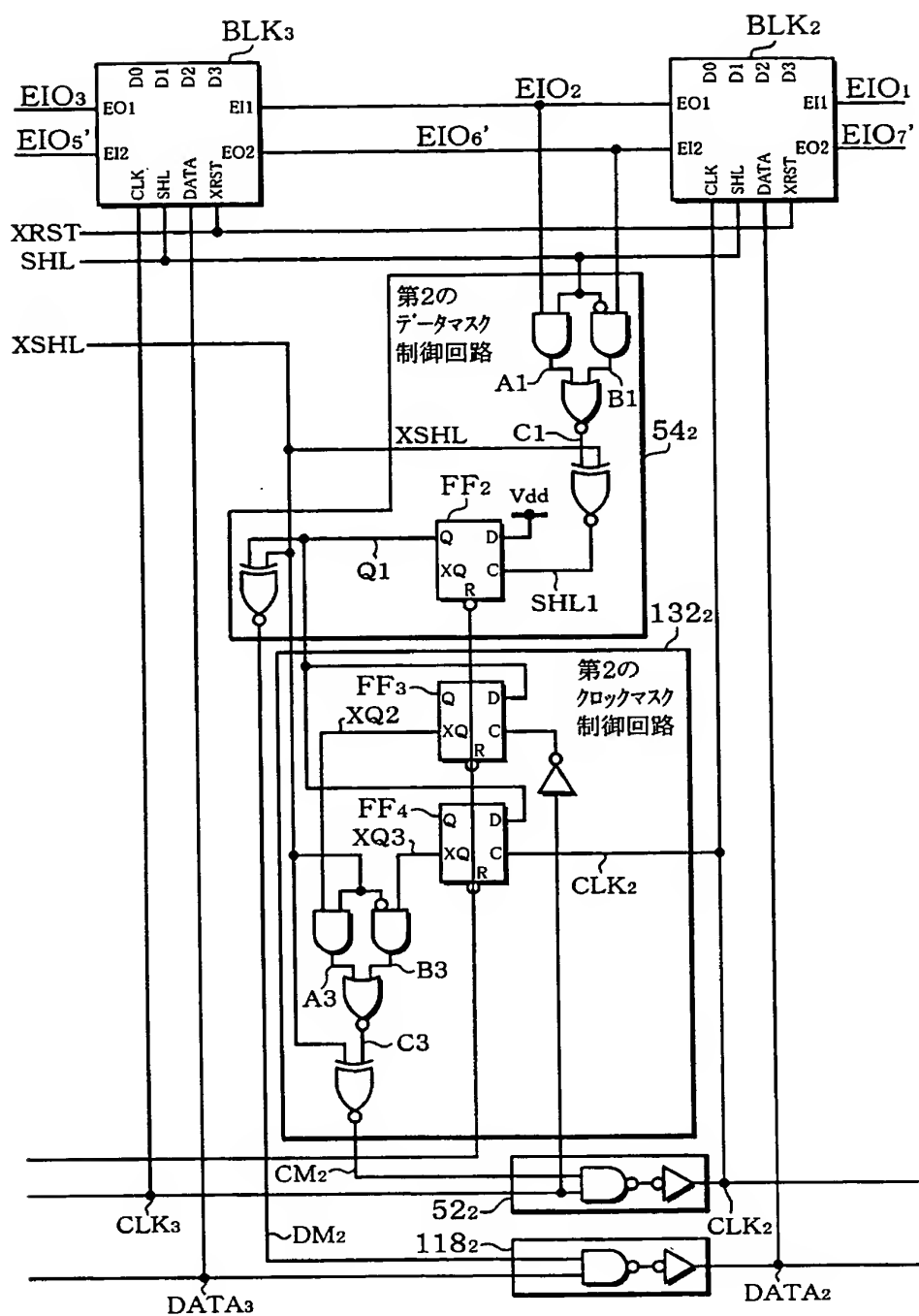
【図 19】



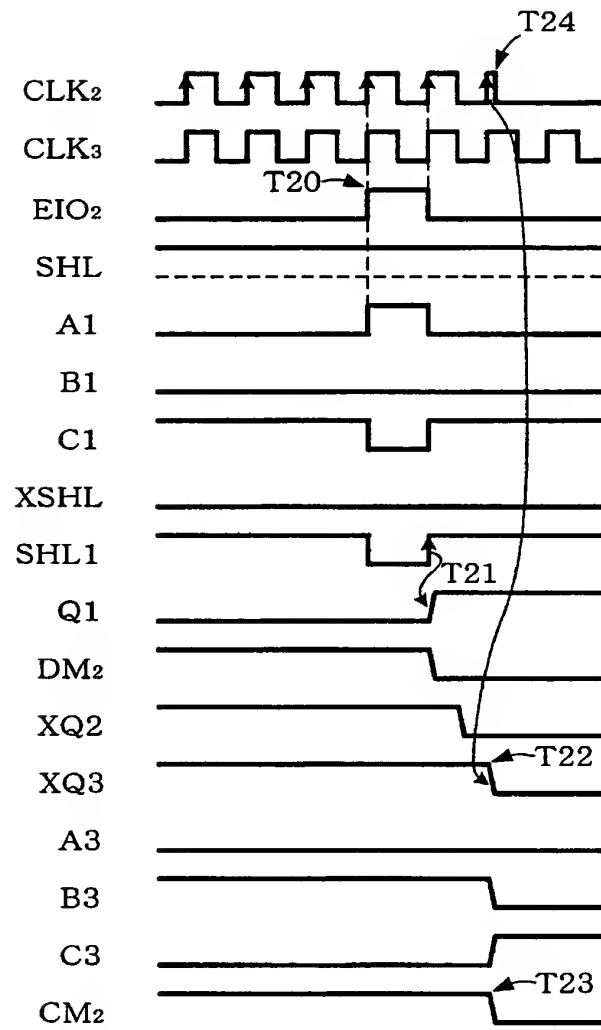
【図20】



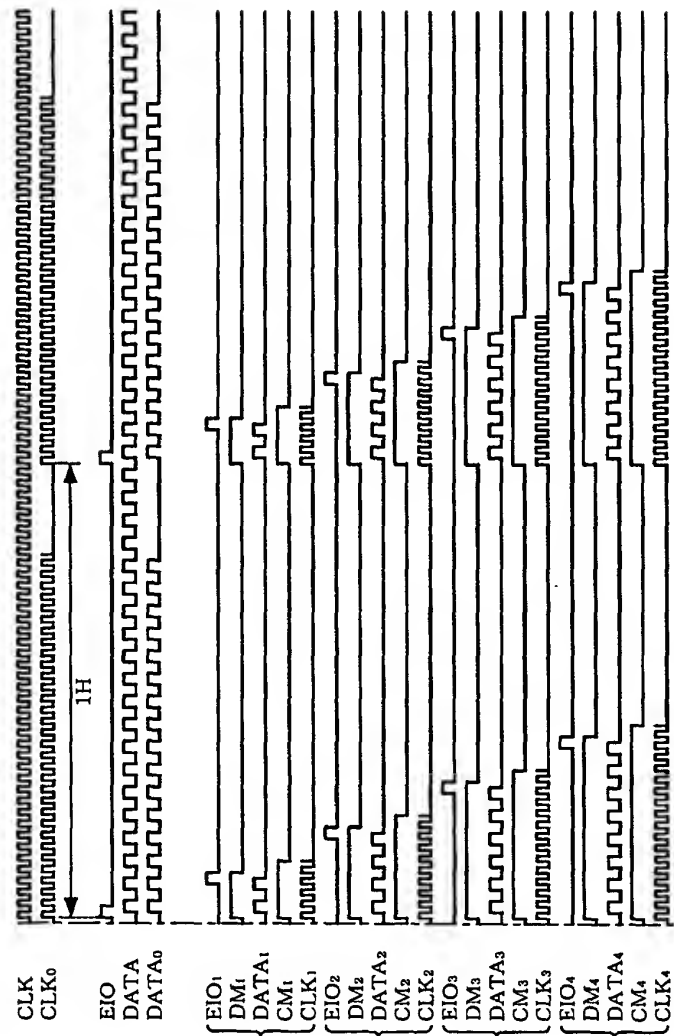
【図 21】



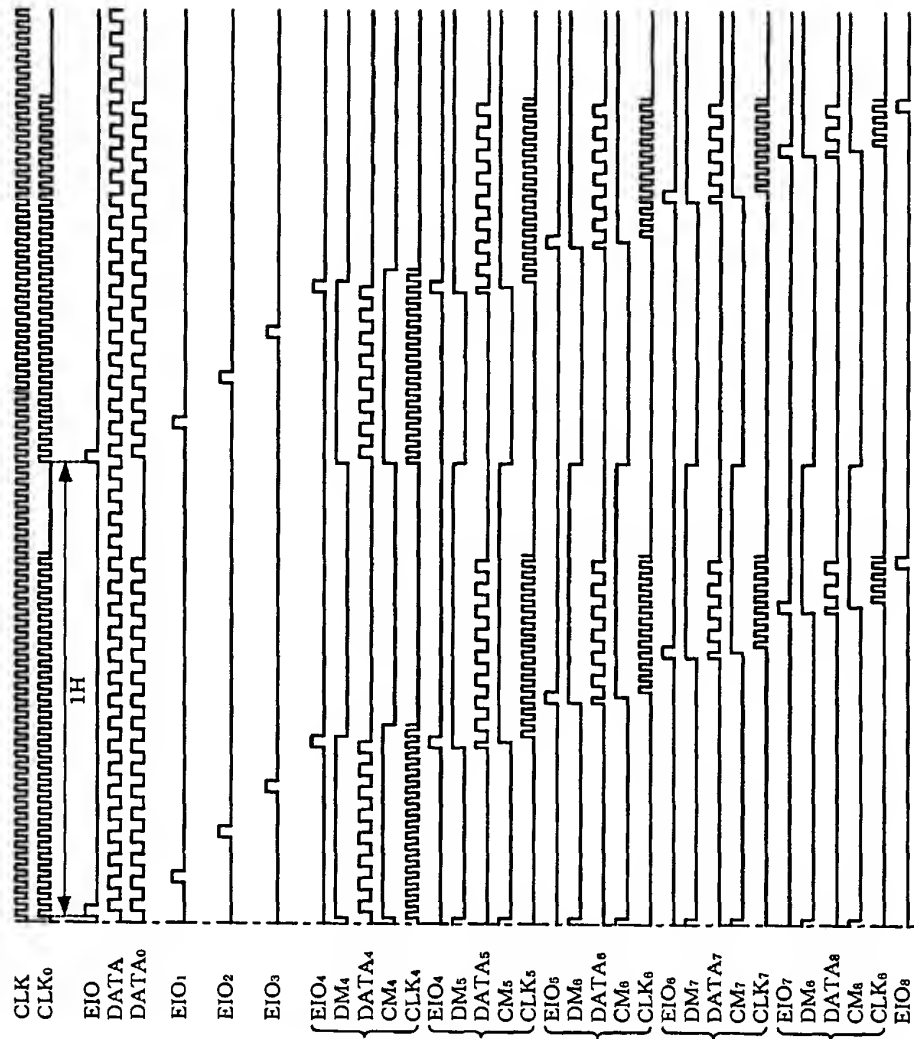
【図 2 2】



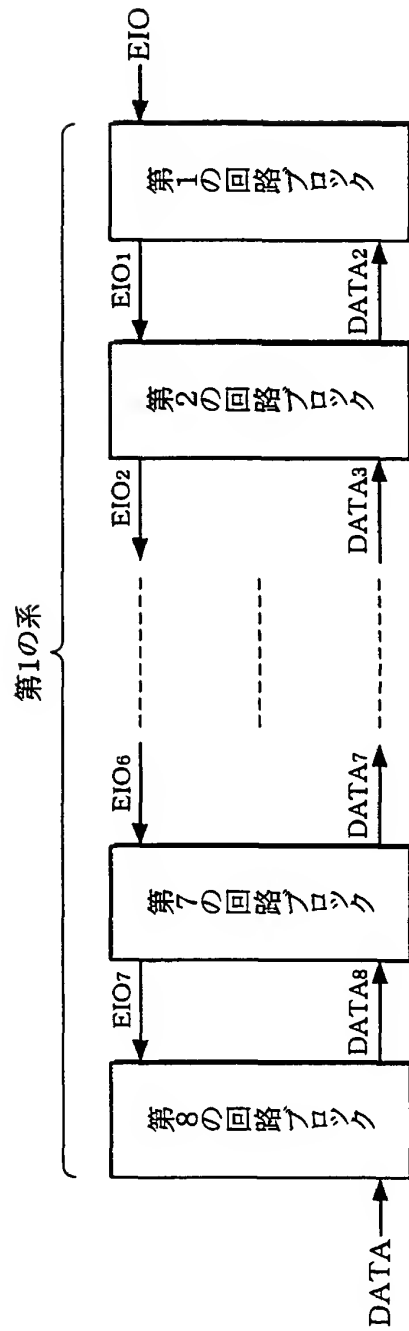
【図 23】



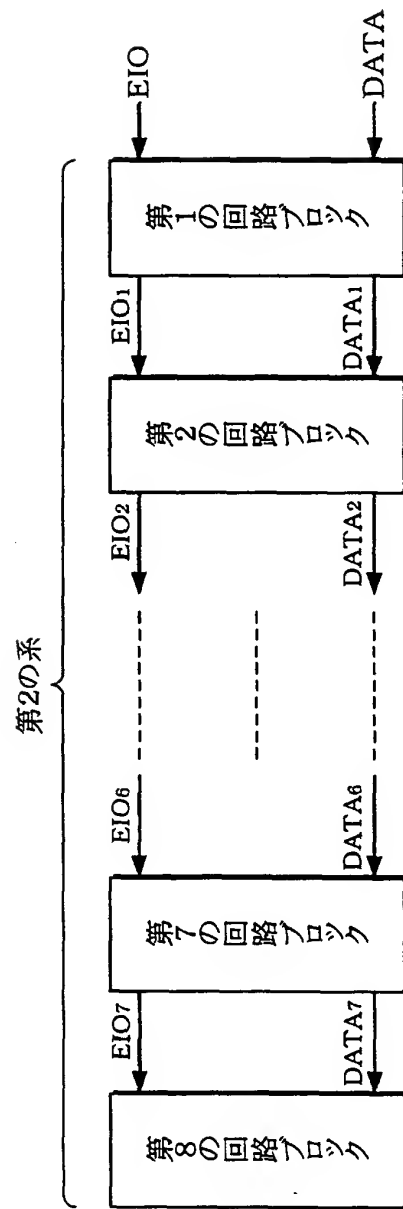
【図 24】



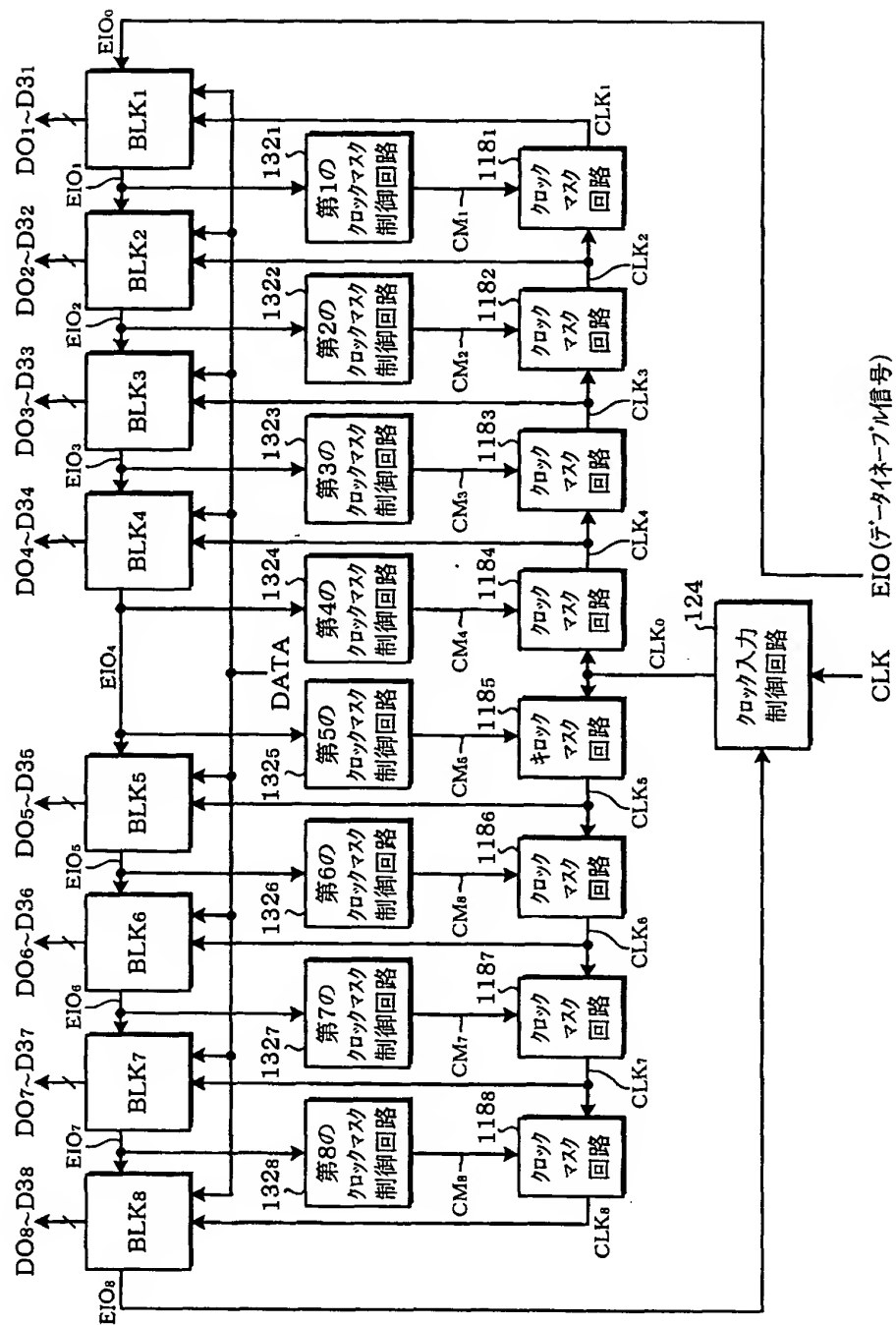
【図 25】



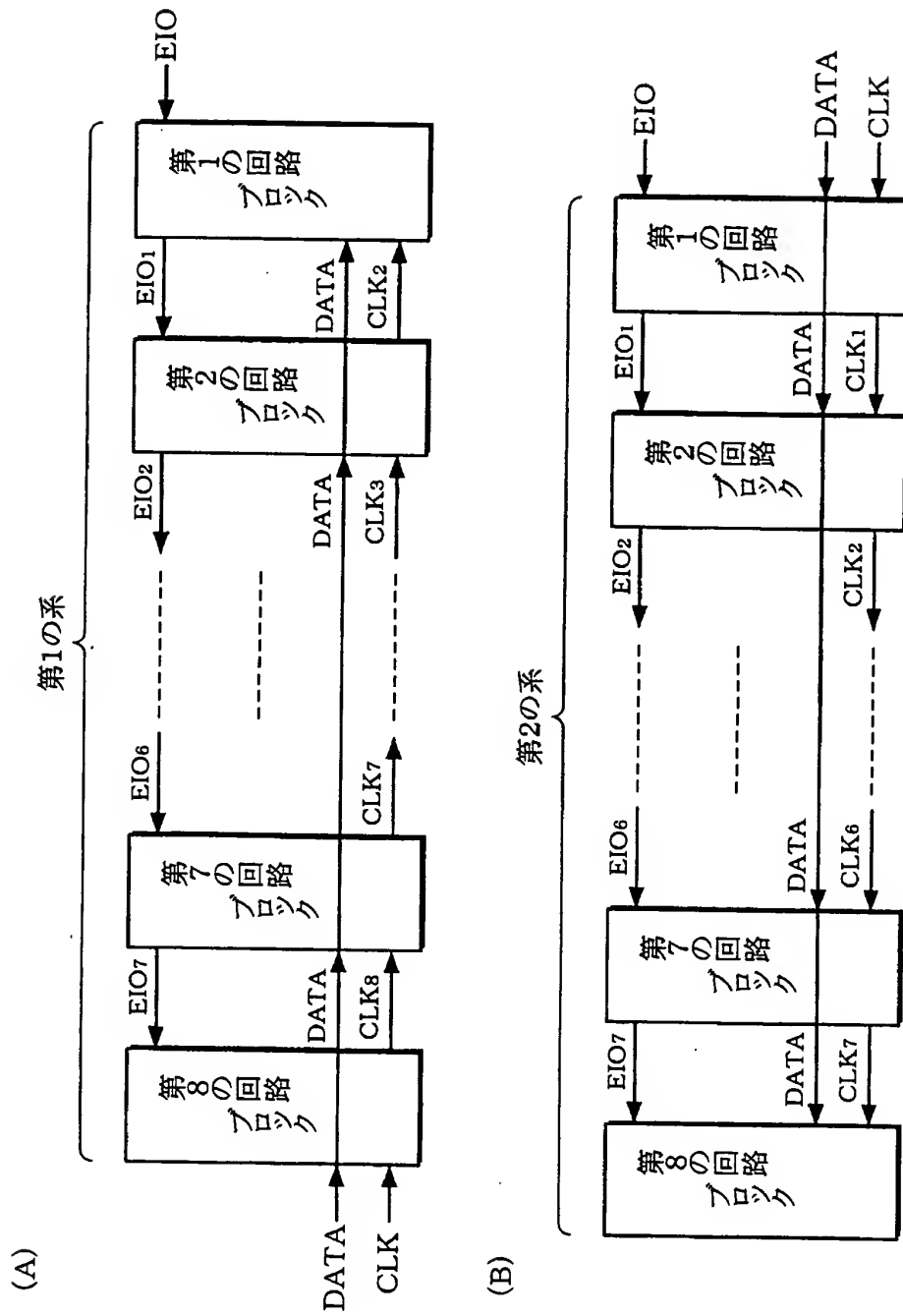
【図 2 6】



【図27】



【図28】



【書類名】 要約書

【要約】

【課題】 階調データの供給に伴う消費電力を削減することができる表示駆動回路及び表示装置を提供する。

【解決手段】 データ入力制御回路 5 0 を基準に右側の領域に配置され、第 1 ～第 M の階調データを保持する第 1 ～第 M の S R ブロック $BLK_1 \sim BLK_M$ と、左側の領域に配置され、第 (M + 1) ～第 (M + N) の階調データを保持する第 (M + 1) ～第 (M + N) の S R ブロック $BLK_{M+1} \sim BLK_{M+N}$ を含む。第 1 ～第 (M + N) の S R ブロック $BLK_1 \sim BLK_{M+N}$ は、各 S R ブロックにおいてシフトされるデータイネーブル信号に基づきマスク制御される第 1 ～第 (M + N) の階調データを保持する。第 1 ～第 M の階調データは、第 1 ～第 M のデータマスク回路 $52_1 \sim 52_M$ の順にマスクを非解除状態に設定される。第 (M + 1) ～第 (M + N) の階調データは、第 (M + 1) ～第 (M + N) のデータマスク回路 $52_{M+1} \sim 52_{M+N}$ の順にマスクを解除状態に設定される。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社